



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년03월23일  
(11) 등록번호 10-1128376  
(24) 등록일자 2012년03월13일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/336* (2006.01) *H01L 29/768* (2006.01)  
(21) 출원번호 10-2006-7004893  
(22) 출원일자(국제) 2004년09월09일  
심사청구일자 2009년08월07일  
(85) 번역문제출일자 2006년03월09일  
(65) 공개번호 10-2007-0019641  
(43) 공개일자 2007년02월15일  
(86) 국제출원번호 PCT/US2004/029324  
(87) 국제공개번호 WO 2005/024909  
국제공개일자 2005년03월17일  
(30) 우선권주장  
60/501,557 2003년09월09일 미국(US)  
(56) 선행기술조사문헌  
US20020043697 A1\*  
US20020167023 A1\*  
US20020005528 A1  
US20020079521 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**크리, 인코포레이티드**  
미국 노스 캘로라이나 27703 더럼 실리콘 드라이브 4600  
**더 리전츠 오브 더 유니버시티 오브 캘리포니아**  
미국 캘리포니아주 94607 오클랜드 프랭클린 스트리트 1111 12층  
(72) 발명자  
**치니, 알레산드로**  
이탈리아, 모테나, 41100, 비아 지아르디니 76/1  
**미슈라, 우메쉬, 케이.**  
미국, 캘리포니아 93108, 산타바바라, 1435 시카모어 캐년 로드  
(뒷면에 계속)  
(74) 대리인  
**이원희**

전체 청구항 수 : 총 44 항

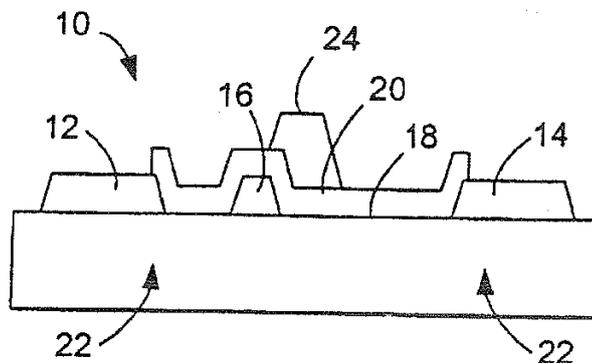
심사관 : 김상우

(54) 발명의 명칭 **단일 또는 다중 게이트 필드 플레이트의 제조**

**(57) 요약**

본 발명은 전계 효과 트랜지스터의 표면에 절연 물질 증착 또는 성장, 절연 물질 식각 및 금속 증발의 연속된 단계를 사용한 단일 또는 다중 게이트 필드 플레이트의 제조 방법에 관한 것이다. 이 제조 방법은 절연 물질의 증착/성장이 전형적으로 잘 제어가능한 방법이므로 필드 플레이트 작동시 엄격한 제어를 허용한다. 게다가, 소자 표면에 증착된 절연 물질은 소자 고유 영역으로부터 제거될 필요가 없으며, 이는 전형적으로 저손상 절연 물질의 건식/습식 식각법의 필요 없이 필드-플레이팅된 소자의 구현을 가능하게 한다. 다중 게이트 필드 플레이트의 사용은 다중 접속을 통해 게이트 저항을 감소시키므로 대형 주변부 및/또는 초미세한 게이트 소자들의 성능을 향상시킨다.

**대표도** - 도4a



(72) 발명자

**패릭호, 프리미트**

미국, 캘리포니아 93117, 골레타, 6832 웨도우브룩  
드라이브

**우, 이펑**

미국, 캘리포니아 93117, 골레타, 528 파이어사이  
드 레인

---

**특허청구의 범위**

**청구항 1**

하나 이상의 게이트 필드 플레이트의 제조방법에 있어서,

소자(10)의 활성화 영역(18)에 절연물질(20,26)을 증착 또는 성장시키는 단계 1;

상기 절연물질(20,26)을 식각하는 단계 2; 및

식각된 상기 절연물질 상에 금속을 증발시켜 상기 소자(10)의 표면에 1개 이상의 필드 플레이트(24,28)를 형성시키는 단계 3을 포함하며,

이때 상기 소자(10)의 상기 활성화 영역(18)상에 증착된 상기 절연물질(20,26)은 상기 활성화 영역에서 제거되지 않으며, 상기 필드 플레이트(24, 28)는 상기 소자(10)의 내부영역 양쪽으로 연결되며, 그리고 게이트(16) 및 필드 플레이트(24,28) 접촉이 적어도 한 측면에서 전기적으로 단락됨으로써 저손상 건식 또는 습식 식각 공정의 사용없이 필드 플레이트 소자(10)의 구현을 가능하게 하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 2**

제1항에 있어서, 필드 플레이트(24,28) 작동에 대한 제어를 허용하고 요구되는 파괴전압(breakdown voltage) 또는 무선 주파수(radio frequency) 성능을 달성하기 위하여, 상기 단계 1 내지 3의 각각은 게이트(16) 및 상기 필드 플레이트와 다른 필드 플레이트(24 또는 28)에 대한 상기 플레이트(28 또는 24)의 오프셋, 상기 필드 플레이트(24,28)의 길이, 상기 절연물질(20,26)의 두께, 및 상기 필드 플레이트(24,28)와 상기 게이트(16) 사이의 전기적 연결을 포함하는 파라미터들 중에서 하나 이상을 변경하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 3**

제1항에 있어서, 게이트(16) 저항을 감소시키기 위해 다수의 필드 플레이트(24,28)를 사용하여 다중 접속부를 형성하는 단계를 더 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 4**

제1항에 있어서, 상기 필드 플레이트(24,28)는 게이트(16) 드레인 접근 영역에 위치함으로써 활성화 영역(18)의 조정 가능성을 제공하여, 게이트 드레인 접근 영역에 위치하는 필드 플레이트가 없는 소자에 비해, 더 큰 무선 주파수(RF) 신호 하에서 소자(10) 동작을 막는 표면 트랩 효과를 감소시키는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 5**

제1항에 있어서, 소자(10) 내 손상을 유발시키는 건식 또는 습식 식각 공정에 상기 활성화 영역(18)의 표면의 어떤 노출도 방지하는 단계를 더 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 6**

제1항에 있어서,

외부 영역에 적어도 2개의 병렬 필드 플레이트(24,28)를 외부 영역(22)에 전기적으로 접속함으로써 게이트(16) 저항을 감소시키기 위해, 상기 절연물질(20,26) 두께를 조정하여 상기 절연 물질(20,26) 상단에 병렬 필드 플레이트(24,28)를 증착시키는 단계를 더 포함하고,

이때, 상기 절연 물질(20,26)의 두께는 필드 플레이트에 의해 더해진 기생 커패시턴스들이 내부 소자의 기생 커패시턴스들에 비해 무시할 수 있도록 선택되는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 7**

제1항에 있어서, 상기 소자(10)는 소스 및 드레인(12,14) 음 접촉부, 게이트(16) 접촉부 및 활성화 영역(18)을 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 8**

하나 이상의 게이트 필드 플레이트의 제조방법에 있어서,

소자의 내부 및 외부 영역 상에 절연 물질을 증착 또는 성장시키는 단계 1;

상기 소자의 활성화 영역에 상기 절연 물질(20,26)이 남도록 상기 절연 물질을 패터닝하는 단계 2; 및

상기 패터닝된 절연 물질(20,26) 상에 필드 플레이트(24,28)를 형성하는 단계 3을 포함하고,

상기 게이트(16)와 필드 플레이트(24,28) 접촉은 소자의 외부 영역(22)의 적어도 한 측면에서 전기적으로 단락되어, 상기 게이트와 필드 플레이트 간에 저항을 제공하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 9**

제8항에 있어서, 소자(10)의 RF(radio frequency) 동작을 달성하기 위해 상기 필드 플레이트(24,28)들 사이의 절연 물질(20,26)의 두께를 조절하는 단계를 더 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 10**

제8항에 있어서, 상기 패터닝하는 단계 2은 건식 또는 습식 식각법 또는 리프트-오프법에 의해 상기 절연 물질(20,26)을 패터닝하는 단계를 포함하는 제조방법.

**청구항 11**

제8항에 있어서, 상기 형성하는 단계 3은 게이트(16)와 필드 플레이트(24,28) 접촉이 전기적으로 단락되기 전에 상기 패터닝된 절연 물질상에 필드 플레이트(24,28)를 증착시키는 단계를 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 12**

제8항에 있어서, 상기 단계1 내지 단계 3은 복수의 필드 플레이트(24,28)를 형성하기 위해 반복 수행되는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 13**

제8항에 있어서, 상기 필드 플레이트의 저항  $R_f$ 는 게이트(16) 저항  $R_g$ 와 동등한 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 14**

삭제

**청구항 15**

제8항에 있어서, 게이트(16) 저항의 감소를 위하여 상기 게이트(16)와 상기 필드 플레이트(24,28) 사이에 다중 접속부를 형성하는 단계를 더 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 16**

제15항에 있어서, 상기 다중 접속부를 형성하는 단계는 상기 게이트(16)와 필드 플레이트(24,28) 사이에 다중 접속부를 형성하기 위해 상기 게이트(16)의 증착 전에 상기 활성화 영역(18)의 부분을 식각하는 단계를 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 17**

제15항에 있어서, 상기 소자(10)의 열적 임피던스를 설계하기 위하여 상기 활성화 영역(18)을 복수의 활성화 영역들로 구분하고, 상기 활성화 영역들 사이를 이간(spacing)하는 단계를 더 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 18**

제15항에 있어서, 상기 소자는 다중 접속부가 없고, 활성화 영역에 남는 절연 물질이 없고, 그리고 전기적으로 단락된 게이트와 필드 플레이트 접촉이 없는 소자에 비하여 감소된 수의 에어브리지를 지닌 더 큰 주변 소자를 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 19**

제15항에 있어서, 상기 다중 접속부를 형성하는 단계는 게이트(16) 저항을 낮추기 위하여 T자형 없이 상기 다중 접속부를 형성하는 단계를 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 20**

제15항에 있어서, 상기 다중 접속부를 형성하는 단계는 병렬 필드 플레이트(24,28)를 사용해서 상기 다중 접속부를 형성하는 단계를 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 21**

제20항에 있어서, 상기 다중 접속부를 형성하는 단계는 소자(10)의 선형 성능(linearity performance)을 향상시키기 위한 소스 접근 저항을 조정하기 위하여 상기 게이트(16) 소스 접근 영역을 피복하는 상기 필드 플레이트(24,28)를 형성하는 단계를 포함하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

**청구항 27**

삭제

**청구항 28**

채널 층(36);

상기 채널 층 위의 배리어 층(38);

상기 배리어 층 위의 반도체 스페이서 층(38); 및

게이트 전극(46)이 소정 수준으로 바이어스 될 경우, 소스 및 드레인 전극(42, 44) 사이에 전류가 흐르도록 상기 배리어 층(38)을 통해 옴 접촉을 만드는 소스 및 드레인 전극(42, 24)을 포함하고;

적어도 상기 게이트 전극(46)의 하부 일부가 상기 배리어 층(38) 표면에 위치하도록 상기 스페이서 층을 식각하여 배리어 층(38)을 노출시키고 상기 게이트 전극을 증착하며,

상기 게이트 전극(46)의 상부 일부가 해당 게이트 전극(46)으로부터 상기 드레인 전극(44) 쪽을 향해 소정거리 뻗어 있는 필드 플레이트(48)를 형성하도록, 상기 게이트 전극(46)의 상부 일부분을 패터닝하여 상기 스페이서 층(40)을 가로질러 뻗게 하며, 그리고,

패시베이션 층(50)이 게이트 전극(46)과 스페이서 층(40)의 일부를 덮는 고전자 이동도 트랜지스터(HEMT).

**청구항 29**

제28항에 있어서, 상기 게이트 전극(46)이 소정 수준에서 바이어스 될 경우, 상기 채널 층(36)과 배리어 층(38) 사이의 헤테로인터페이스에서 유발된 2차원 전자가스(2DEG)를 통해 소스 및 드레인 전극(42, 44) 사이에 흐르는 고전자 이동도 트랜지스터.

**청구항 30**

제28항에 있어서, 상기 스페이서 층(40) 위의 상기 게이트 전극(46)의 일부분은 에피택셜 필드 플레이트를 형성하는 고전자 이동도 트랜지스터.

**청구항 31**

삭제

**청구항 32**

제28항에 있어서, 상기 스페이서 층(40)은 절연체 층, 미도핑 또는 공핍된  $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) 물질, 또는 이들이 조합된 층을 포함하는 고전자 이동도 트랜지스터.

**청구항 33**

제28항에 있어서, 상기 필드 플레이트(48)는 상기 스페이서 층(40) 위에 형성되어, 상기 게이트 전극(46)의 가장자리로부터 드레인 전극(44) 쪽을 향해 거리  $L_f$  (필드 플레이트 거리)만큼 연장되어 있는 고전자 이동도 트랜지스터.

**청구항 34**

제28항에 있어서, 상기 필드 플레이트(48)는 상기 게이트 전극(46)에 전기적으로 접속된 것인 고전자 이동도 트랜지스터.

**청구항 35**

제28항에 있어서, 상기 필드 플레이트(48)는 상기 증착 단계 동안 게이트 전극(46)의 연장부로서 형성되는 고전자 이동도 트랜지스터.

**청구항 36**

제28항에 있어서, 상기 필드 플레이트(48) 및 상기 게이트 전극(46)은 별개의 증착 단계 동안 형성되는 고전자 이동도 트랜지스터.

**청구항 37**

제28항에 있어서,

기관(32) 위의 핵생성 층(34)을 더 포함하고,

상기 채널 층은 상기 핵생성 층 위에 형성되고, 상기 기관은 실리콘 카바이드, 사파이어, 스피넬, 산화아연, 실리콘 또는 III족-질화물 재료의 성장을 지원 가능한 소정의 다른 물질을 포함하는 고전자 이동도 트랜지스터.

**청구항 38**

제37항에 있어서, 상기 핵생성 층(34)은  $Al_zGa_{1-z}N$  ( $0 \leq z \leq 1$ ) 핵생성 층(34)인 고전자 이동도 트랜지스터.

**청구항 39**

제37항에 있어서, 상기 핵생성 층(34)은 AlN 핵생성 층(34)인 고전자 이동도 트랜지스터.

**청구항 40**

제28항에 있어서, 상기 채널 층(36)은 고 저항성 III족-질화물 채널 층(36)인 고전자 이동도 트랜지스터.

**청구항 41**

제28항에 있어서, 상기 채널 층(36)은  $Al_xGa_yIn_{(1-x-y)}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $x+y \leq 1$ )을 포함하는 고전자 이동도 트랜지스터.

**청구항 42**

제28항에 있어서, 상기 채널 층(36)은 GaN:Fe를 포함하는 고전자 이동도 트랜지스터.

**청구항 43**

제28항에 있어서, 상기 배리어 층(38)은  $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ )을 포함하는 고전자 이동도 트랜지스터.

**청구항 44**

제28항에 있어서, 상기 배리어 층(38)은 AlN 및 AlGaIn을 포함하는 고전자 이동도 트랜지스터.

**청구항 45**

제28항에 있어서, 각 채널 층(36) 및 배리어 층(38)은 III족-질화물 재료의 도핑 또는 미도핑 서브 층을 포함하는 고전자 이동도 트랜지스터.

**청구항 46**

제28항에 있어서, 상기 스페이서 층(40)은  $Al_xGa_{1-x}N$  배리어 층(38)인 배리어 층(38)상에 성장한 III족-질화물 반도체 스페이서 층(40)이며, 이때 상기 배리어 층(38)은 고전자 이동도 트랜지스터.

**청구항 47**

제28항에 있어서, 상기 스페이서 층(40)은 일정한 조성을 가진 고전자 이동도 트랜지스터.

**청구항 48**

제28항에 있어서, 상기 스페이서 층(40)은 변화되는 조성을 가진 고전자 이동도 트랜지스터.

**청구항 49**

제28항에 있어서, 상기 스페이서 층(40)은 도핑되지 않은 고전자 이동도 트랜지스터.

**청구항 50**

제28항에 있어서, 상기 스페이서 층(40)은 성장함에 따라 완전히 공핍화된 고전자 이동도 트랜지스터.

**청구항 51**

제28항에 있어서, 상기 게이트 전극(46)은 배리어 층(38)의 형성 후에 형성되고 상기 필드 플레이트(48)는 상기 게이트 전극(46)을 중첩(overlapping)하며 상기 게이트 드레인 영역 내 거리(Lf)만큼 연장되는 패시베이션 층(50) 위에 형성되고, 상기 패시베이션 층(50)은 상기 필드 플레이트(48)용의 스페이서 층으로서 기능하는 고전자 이동도 트랜지스터.

**청구항 52**

제1항에 있어서,

상기 소자는 전계 효과 트랜지스터(FET:Field Effect Transistor)에 해당하는 하나 이상의 게이트 필드 플레이트의 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 소자, 및 더욱 구체적으로, 단일 또는 다중 게이트 필드 플레이트(field plate)의 제조에 관한 것이다.

**배경기술**

[0002] 반도체를 기초로 한 전계 효과 트랜지스터(FET)에 있어서, 정상작동 하는 동안 게이트-드레인(gate-drain) 접근 영역 내에서 고전계가 일어난다. 필드 플레이팅(field plating)은 고전계 작동 하에서 소자 성능을 향상시키는 것 뿐만 아니라 표면 트랩 현상을 완화시키기 위한 기술로 잘 알려져 있다(별첨 참조문헌 [1], [2] 참조). 예를 들면, 필드 플레이팅은 효과적이며, 고전계에서의 소자 작동에 있어 발생하는 모든 해로운 효과(파괴 전압(breakdown voltage), 트래핑 효과(trapping effect), 낮은 신뢰도)를 완화시키기 위하여 잘 알려져 있는 기술이다.

[0003] 필드 플레이팅의 기본 구성(concept)은 소자의 활성화 영역의 중단 소모에 의존하므로, 횡단 소모 영역의 확대가 가능해진다. 이는 소자 활성화 영역에서 부여된 바이어스 전압에 대해 저전계로 되어, 소자가 고전계에서 작동될 때마다 발생하는 모든 해로운 효과(파괴 전압, 트래핑 효과, 낮은 신뢰도)를 완화시킨다. 게다가, 게이트 드레인 접근 영역에 위치하는 필드 플레이트는 소자 활성화 영역을 조정하는 능력도 지니므로, 고 무선 주파수(RF) 신호 하에서 적절한 소자 작동을 막는 표면 트랩 효과 감소도 가져온다.

[0004] 하지만, 필요한 것은 향상된 단일 또는 다중 게이트 필드 플레이트의 제조 방법 뿐만 아니라 향상된 단일 또는 다중 게이트 필드 플레이트를 포함하는 구조이다.

**발명의 상세한 설명**

[0005] 본 발명의 실시예 형태는 향상된 단일 또는 다중의 게이트 필드 플레이트를 제조 방법을 제공한다. 본 발명에 따른 제조 방법은 전계 효과 트랜지스터의 표면에 절연 물질(dielectric material)(혹은 "유전 물질"이라고도 함) 증착 또는 성장, 절연 물질 식각 및 금속 증발의 연속된 단계를 사용한다. 상기 제조 공정의 이점으로서 절연 물질의 두께, 및 전계 효과 트랜지스터를 형성하는 반도체 물질 내 손상을 유발시킬 수 있는 건식 또는 습식 공정에 소자 활성화 영역의 표면의 어떤 노출도 없는 엄격한 제어를 포함한다. 게다가, 소자 표면에 증착된 절연 물질은 소자 고유 영역으로부터 제거될 필요가 없으며, 이는 건식 또는 습식 식각 공정에 의해 야기되는 손상 없이 필드-플레이트된 소자의 구현을 가능하게 한다. 다중 게이트 필드 플레이트의 사용은 다중 접속을 통해 게이트 저항을 감소시키므로 대형 주변부 및/또는 초미세한 게이트 소자들의 성능을 향상시킨다. 마지막으로, 적절하게 절연 물질의 두께를 조정함으로써, 병렬 게이트 접촉부를 절연 물질의 상단에 증착시켜, 소자 외부 영역에 병렬 게이트 접촉부를 전기적으로 연결하여 게이트 저항을 상당히 감소시킬 수 있게 된다.

**실시예**

[0016] 개요

[0017] 본 발명은 전계 효과 트랜지스터(FET)에 대한 단일 또는 다중 게이트 필드 플레이트 구조의 구현을 위한 단순 제조 공정을 기술한다. 본 발명은 단순하고 전형적으로 잘 제어되는 절연 물질의 증착 또는 성장, 절연 물질 식각 및 금속 증발의 연속적인 공정 단계를 사용한다.

[0018] 제조 공정

[0019] 도 1a, 도 1b, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a 및 도 4b는 본 발명의 실시예에 의한 가능한 하나의 제조

공정의 실현의 단계들을 나타내며, 상기 제조 공정은 게이트 필드 플레이트의 제조 방법을 포함한다.

- [0020] 도 1a는 소스 및 드레인 음 접촉부(drain ohmic contact)(12 및 14), 게이트 접촉부(16) 및 활성화 영역(18)을 포함하는 전계 효과 트랜지스터(FET)(10)의 단면도이고, 도 1b는 그의 평면도이다. 제조 공정의 단계들은 전계 효과 트랜지스터(10) 또는 기타 다른 소자에 적용된다. 상기 방법은 소자 표면에 1개 이상의 필드 플레이트를 형성하기 위해 절연 물질의 증착 또는 성장, 절연 물질 식각 및 금속 증발의 연속적인 단계를 수행하는 것을 포함하고, 상기 단계들은 필드 플레이트 작동에 엄격한 제어를 허용하며, 상기 표면에 증착된 절연 물질은 활성화 영역(18)에서 제거될 필요가 없으므로, 저손상 건식 또는 습식 식각법의 사용 없이 필드 플레이트 소자의 실현을 가능하게 한다. 수행하는 단계는 다음의 단계를 포함한다: (1) 소자의 내부 또는 외부 영역에 절연 물질을 증착 또는 성장시키는 단계, 여기서 상기 절연 물질의 두께는 소자의 적절한 작동을 얻기 위해 조절됨; (2) 상기 소자의 활성화 영역에 절연 물질이 주로 남도록, 건식 또는 습식 식각법 또는 리프트-오프(lift-off)법에 의한 절연 물질을 패터닝하는 단계; 및 (3) 상기 게이트 및 필드 플레이트 접촉이 적어도 외부 영역의 한 측면에서 전기적으로 단락되어 이들 사이에 저저항 접촉을 제공하도록 상기 패터닝된 절연 물질상에 필드 플레이트를 증발시키는 단계. 이 단계들은 도 2a, 도 2b, 도 3a, 도 3b, 도 4a 및 도 4b와 관련해서 이하에 더욱 자세히 설명된다.
- [0021] 도 2a는 소자(10)의 내부 및 외부 영역에 절연 물질(20)을 증착시키거나 성장시키는 단계를 포함하는 제조 공정의 첫 단계를 예시하는 소자의 단면도이고, 도 2b는 그 소자의 평면도이다. 절연 물질(20)의 두께는 완성된 소자(10)의 적절한 작동을 위하여 조절되는 중요한 파라미터이다. 그러나, 이것은 통상 대부분의 증착/성장 기술(예를 들면, PECVD(Plasma Enhanced Chemical Vapor Deposition))에서 충분히 제어된 공정이다. 전형적인 물질은 실리콘 질화물 및 산화물이지만, 그들이 건식 또는 습식 식각에 의해 또는 리프트-오프에 의해 패터닝될 수 있는 한 다른 것들도 사용될 수 있다.
- [0022] 도 3a는 소자 외부영역(22)으로부터의 식각 또는 제거에 의해 절연 물질(20)을 패터닝하는 단계를 포함하는 제조 공정의 둘째 단계를 예시한 소자의 단면도이고, 도 3b는 그 소자의 평면도이며, 상기 단계에 의하면, 절연 물질(20)이 소자의 활성화 영역(18)에 주로 남게 된다. 패터닝이 식각에 의해 형성될 경우, 소자를 형성하는 반도체 재료에 손상을 유발시킬 수 있는 어떤 건식 또는 습식 식각법에 활성화 영역(18)을 노출시키는 일 없이, 이 단계 동안 소자(10) 표면이 보호되는 것이 강조될 수 있다. 이 단계 이후, 음 접촉부(12, 14) 뿐 아니라 소자 외부 영역(22) 내 존재하는 게이트부(16)도 전기적으로 접근하기 쉽다.
- [0023]
- [0024] 도 4a는 패터닝된 절연 물질(20) 위에 필드 플레이트(24)를 형성하는 단계를 포함하는 제조 공정의 셋째 단계를 예시하는 소자의 단면도이고, 도 4b는 그 소자의 평면도이며, 상기 단계에 의하면, 상기 게이트(16) 및 필드 플레이트(24) 접촉은 적어도 외부 영역의 한 측면에서 전기적으로 단락되어 그 사이에 저저항 접촉을 제공한다. 바람직하게는, 금속 증발은 필드 플레이트(24)를 형성하는 데에 이용되며, 상기 필드 플레이트(24)는 금속 락 또는 접촉부로 이루어진다. 상기 필드 플레이트(24)는 게이트(16) 드레인 접근 영역에 위치됨으로써, 소자 활성화 영역(18)을 조정하는 능력을 제공하여, 그 결과, 고 무선 주파수(RF) 신호 하에서 적절한 소자 작동을 막는 표면 트랩 효과를 감소시키게 된다.
- [0025] 상기 필드 플레이트(24)는 소자 내부 영역의 양 측면에 접촉되며, 상기 게이트(16) 및 필드 플레이트(24)는 적어도 외부 영역(22)의 한쪽에서 전기적으로 단락되어, 그들의 두 금속 라인 사이에 저저항 접촉을 제공한다. 상기 필드 플레이트(24)의 오프셋(offset) 및 길이는 목표로 삼은 소자 성능, 즉, 파괴 전압, RF 성능에 대해서 최적화된다.
- [0026] 다중 필드 플레이트 구조가 필요하다면, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a 및 도 4b에 설명된 절연 물질의 증착/성장, 절연 물질 식각 및 금속 증발의 세 단계를 반복해서 수행할 수 있다.
- [0027] 도 5a는 게이트 저항을 감소시키기 위하여 다중 게이트 필드 플레이트를 사용하여 다중 접촉을 작성함으로써, 대형 주변 소자 및/또는 초미세한 게이트 소자의 성능을 향상시키는 예를 설명하는 소자의 단면도이고 도 5b는

그 소자의 평면도이다. 이 예는 절연 물질(26)의 또 다른 층 및 금속 띠 또는 접촉부로 이루어진 또 다른 필드 플레이트(28)를 포함하는 두 필드 플레이트 구조이다. 도입된 절연 물질(26)의 두께, 게이트(16) 및 다른 필드 플레이트(24)에 대한 필드 플레이트(28)의 길이 및 오프셋, 그리고 필드 플레이트(24, 28)의 수는 제조공정 파라미터를 포함한다. 다중 필드 플레이트(24, 28)의 사용은 소자(10) 설계에 더 많은 자유도를 허용하며, 고 전압 소자(10)를 구현하는데 중대한 영향을 미친다.

[0028] 본 발명의 또 다른 이점은 대형 주변 소자 내 게이트 저항에 의해 유발된 RF 성능 감소를 완화시키는 가능성이 있다는 것이다. 본래, 게이트 저항의 증가로 인해 게이트 핑거 폭의 증가시 최대 진동 주파수( $f_{max}$ )는 감소한다.

[0029] 도 6은  $f_{max}$ 의 의존도 대 게이트 핑거 폭의 시뮬레이션 그래프이다. 상기 그래프에 나타난 바와 같이, 활성화 영역의 양 끝에서 단락된 필드 플레이트 구조의 도입은 넓은 핑거 폭을 지닌 소자의  $f_{max}$  성능을 향상시킬 수 있다. 활성화 영역의 양쪽에 접속되어 게이트 저항  $R_g$ 와 동등한 저항  $R_f$ 를 지닌 필드 플레이트를 사용하는 것은  $f_{max}$  성능을 상당히 향상시킨다. 필드 플레이트 저항을 낮춤으로써 성능을 더 향상시킬 수 있다. 이 감소는 단지 필드 플레이트 구조로 인해 첨가된 기생 커패시턴스가 내부 소자의 그것과 비교하여 볼 때 무시해도 좋다면 관찰될 수 있을 것이다. 이는 절연 물질 및 그 두께의 적절한 선택에 의해 달성될 수 있으며, 최적화 공정으로서 고려되어야 한다.

[0030] 상기 게이트 및 필드 플레이트 사이의 다중 접속은 게이트 저항의 상당한 감소를 초래한다. RF 작동을 심하게 감소시키지 않고 이 다중 접속을 달성하기 위하여, 활성화 영역의 작은 부분은 게이트 및 필드 플레이트 사이에 소자의 RF 작동을 감소시키는 일 없이 다중 연결을 형성하기 위해 게이트 증착 전에 식각된다.

[0031] 이 영역에서, 상기 게이트 및 필드 플레이트는 소자에 이러한 추가적인 기생 커패시턴스의 도입 없이 접속될 수 있다. 다시, 상기 도입된 기생 커패시턴스가 내부 소자의 그것과 비교할 때 작을 때에만 소자 성능이 향상된다. 게다가, 개별적 활성화 영역 사이의 공간은 소자의 열적 임피던스를 종래의 입체구조를 가진 소자보다 더욱 효과적으로 설계하는데 사용된다.

[0032] 중요한 파라미터들은 절연 물질의 선택, 절연 물질의 두께 및 필드 플레이트의 길이이다. 이런 중요한 파라미터들은 상기 제안된 제조 공정의 최적화 단계로서 고려되어야 한다.

[0033] 이 방법의 사용은 감소된 수의 에어브리지(air bridge)를 지닌 대형 주변 소자의 제조를 허용한다. 게다가, 초미세한 소자의 제조는 본 발명을 이용할 수 있다. 전형적으로, 표준 게이트 모양과 비교해볼 때, T자 형상은 게이트 저항을 감소시키기 때문에, 초미세한 게이트는 T자형 공정을 사용하여 제조된다. 낮은 게이트 저항은 T자형 공정 없이 다중 접속을 형성함으로써 초미세한 게이트에 의해서 달성될 수 있다.

[0034] 또한, 병렬 게이트 접촉부는, 소자 외부 영역에 병렬 필드 플레이트를 사용하여 다중 접속을 형성함으로써 게이트 저항을 상당히 감소시키기 위해, 적절하게 절연 물질 두께를 조정함으로써 절연 물질 상단에 증착될 수 있다. 상기 낮은 저항 경로는 게이트와 필드 플레이트 사이에 접속이 일어나는 상기 폭의 적절한 선택을 통해, 병렬 필드 플레이트에 의해 제공된다.

[0035] 도 7a는 게이트의 저항의 감소를 위한 다중 필드 플레이트를 예시하는 소자의 단면도, 도 7b는 그 소자의 평면도, 도 7c는 그 소자의 단면도이다. 게다가, 상기 도 7a, 도 7b 및 도 7c에서 보인 바와 같이 게이트 소스 접근 영역을 피복하는 필드 플레이트는 또한 소자의 선형성을 향상시키기 위한 소스 접근 저항의 조정에도 사용된다.

[0036] 필드 플레이트를 사용한 갈륨 질화물계 고전자 이동도 트랜지스터

[0037] AlGaIn/GaN 고전자 이동도 트랜지스터(HEMT)를 포함하는 GaN계 트랜지스터는 RF, 마이크로파 및 밀리미터파 주파수에서 매우 높은 전압 및 높은 전력 작동 능력이 있다. 그러나, 전자 트래핑 및 DC 특성과 RF 특성간의 차이의 확보는 이들 소자의 성능을 제한한다. SiN 패시베이션(passivation)은 이런 트래핑 문제를 완화시키는 데에 성공적으로 사용되어 왔으며, 그 결과 10 GHz에서 10 W/mm가 넘는 전력밀도를 가진 고성능 소자로 된다. 예를

들면, 하기 참조문헌 [3]은 GaN 트랜지스터 내 트래핑 효과 감소를 위한 방법 및 구조가 개시되어 있다. 하지만, 이들 구조에 존재하는 고전계로 인해 전하 트래핑은 여전히 쟁점이다.

[0038] 본 발명은 AlGaIn/GaN HEMT 전력 소자의 성능 향상을 위해 성공적으로 이용되었다. 4 GHz에서 작동시, 각각 사파이어 및 실리콘 카바이드 기판 위의 소자에서, 각각 12 W/mm 및 18.8 W/mm의 전력 밀도가 달성되었다. 필드 플레이트 제조에 포함된 처리 단계의 간단함 때문에, 본 발명은 AlGaIn/GaN HEMT 기술 및 다른 반도체 소자를 개발하는 데에 사용될 수 있다. 적절히 설계된 다중 필드 플레이트의 사용은 이와 같은 소자 내 파괴 및 고 RF 신호 성능을 모두 매우 향상시킨다.

[0039] GaN계 HEMT는 채널 층(channel layer) 및 이 채널 층상의 배리어 층(barrier layer)을 포함한다. 금속 소스 및 드레인 음 접촉부는 배리어 층과 접촉하여 형성된다. 게이트 접촉부는 소스와 드레인 접촉부 사이의 배리어 층에 형성되며, 스페이서 층(spacer layer)은 상기 배리어 층 위에 형성된다. 상기 스페이서 층은 상기 게이트 접촉부의 형성 전 또는 후에 형성되어도 된다. 상기 스페이서 층은 절연체 층, 미도핑 또는 공핍된  $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) 물질, 또는 이들이 조합된 층을 포함해도 된다. 전도성 필드 플레이트는 상기 스페이서 층 위에 형성되며 게이트 접촉부의 가장자리로부터 드레인 접촉부 쪽으로 거리(Lf)(필드 플레이트 거리)만큼 연장되어 있다. 상기 필드 플레이트는 전기적으로 게이트 접촉부에 접속될 수도 있다. 어떤 실시예에서는, 상기 필드 플레이트는 동일한 증착 단계 동안 게이트 접촉부의 연장부로서 형성된다. 또 다른 실시예에서는, 필드 플레이트 및 게이트 접촉부는 별도의 증착 단계 동안 형성된다. 이 구성은 소자 내 피크전계를 감소시키고, 그 결과 파괴 전압이 증가되고 트래핑은 감소하게 된다. 상기 전계의 감소는 또한 감소된 누출 전류 및 증가된 신뢰도와 같은 다른 효과들을 가져올 것이다.

[0040] 본 발명의 일 실시예는 질화물계 HEMT 소자의 단위 셀(30)의 개략적 단면도인 도 8에 나타내었다. 구체적으로는, 상기 소자(30)는 실리콘 카바이드, 사파이어, 스피넬, ZnO, 실리콘 또는 III족-질화물의 성장을 지원 가능한 어떤 다른 물질로 이루어질 수 있는 기판(32)을 포함한다.  $Al_zGa_{1-z}N$  ( $0 \leq z \leq 1$ ) 핵생성 층(34)은 MOCVD(Metalorganic Chemical Vapor Deposition), HVPE(Hydride Vapor Phase Epitaxy) 또는 MBE(Molecular Beam Epitaxy)와 같은 에피택셜 결정 성장 방법(epitaxial crystal growth method)을 통해 기판(32)상에 성장하게 된다. 핵생성 층(34)의 형성은 기판(32)의 재질에 의존할 것이다. 예를 들면, 다양한 기판 위에 핵생성 층(34)을 형성하는 방법은 하기 참조문헌 [4] 및 [5]에 개시되어 있다. 실리콘 카바이드 기판 위에 핵생성 층(34)을 형성하는 방법은 하기 참조문헌 [6], [7] 및 [8]에 개시되어 있다.

[0041] 고 저항 III족-질화물 채널 층(36)은 상기 핵생성 층(34)에 형성된다. 상기 채널 층(36)은  $Al_xGa_yIn_{(1-x-y)}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$ )을 포함할 수 있다. 다음에,  $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) 배리어 층(38)은 상기 채널 층(36)에 형성된다. 각 채널 층(36) 및 배리어 층(38)은 III족-질화물 재료의 도핑 또는 미도핑 층들을 포함할 수 있는 서브 층을 포함해도 된다. 이들 구조의 예가 하기 참조문헌 [3], [9], [10], [11] 및 [12]에 예시되어 있다. 다른 질화물계 HEMT 구조들은 하기 참조문헌 [13], [14]에 예시되어 있다.

[0042] 도 8에 나타낸 실시예에서, III족-질화물 반도체 스페이서 층(40)은  $Al_xGa_{1-x}N$  배리어 층(28)상에서 성장된다. 상기 스페이서 층(40)은 일정한 또는 변화되는 조성을 지닐 수 있다. 상기 스페이서 층(40)은 도핑되어 있지 않아도 되고/되거나 성장함에 따라 완전히 공핍화되도록 설계되어 있어도 된다.

[0043] 소스(42) 및 드레인(44) 전극들은 게이트 전극(46)이 적당한 수준에서 바이어스될 경우, 채널 층(36)과 배리어 층(38) 사이의 헤테로인터페이스(heterointerface)에서 유발된 2차원 전자가스(2DEG)를 통해 소스 및 드레인 전극들(42, 44) 사이에 전류가 흐르도록, 배리어 층(38)을 통해 음 접촉부를 만듦으로써 형성된다. 상기 소스 및 드레인 전극들(42, 44)의 형성은 상기 참조한 특허 공보 및 간행물에 자세히 기재되어 있다.

[0044] 게이트 전극(46)의 하부가 배리어 층(38)의 표면에 있도록 상기 스페이서 층(40)은 식각될 것이며 상기 게이트 전극(46)은 증착될 수 있다. 상기 게이트 전극(46)을 형성하는 금속은 스페이서 층(40)과 교차하여 연장되는 패턴을 가지므로 게이트(46)의 상단은 게이트(46)의 가장자리로부터 드레인(44) 쪽을 향해 거리(Lf)만큼 연장됨으로써 필드 플레이트 구조(48)를 형성한다. 다르게 말하면, 스페이서 층(40)에 남아있는 게이트(46) 금속 부분이 에피택셜 필드 플레이트(48)를 형성한다. 마지막으로, 상기 구조는 실리콘 질화물과 같은 절연체 패시베이션 층(50)으로 피복되어 있다. 상기 절연체 패시베이션 층(50)의 형성 방법은 상기 참조한 특허 공보 및 간

행물에 자세히 기재되어 있다.

- [0045] 본 발명의 일 실시예는 도 8에 예시된 소자와는 다른 배열을 갖는 질화물계 HEMT 소자의 단위 셀(30)의 개략 단면도인 도 9에 나타내었다. 도 9에 나타낸 상기 소자(30) 내 기판(32), 핵생성 층(34), 채널 층(36) 및 배리어 층(38)은 도 8에 나타낸 대응되는 층들과 유사하다. 어떤 실시예에서는, 기판(32)은 노스 캘로라이나주의 더럼에 소재한 크리 인코포레이티드(Cree, Inc.)로부터 시판중인 반절연성 4H-SiC를 포함하며, 핵생성 층(34)은 AlN로 형성되며, 또한 채널 층(36)은 2 μm 두께의 GaN:Fe 층을 포함하는 반면, 배리어 층(38)은 0.8 nm의 AlN 및 22.5 nm의 Al<sub>x</sub>Ga<sub>1-x</sub>N(여기서 x = 0.195, PL(photoluminescence)로 측정함)을 포함한다.
- [0046] 상기 게이트 전극(46)은 배리어 층(38)의 형성 후에 형성되며 패시베이션 층(50)은 소자에 증착된다. 이후 패시베이션 층(50)에 게이트(46)위에 증착되는 동시에 게이트-드레인 영역 내 거리(Lf)만큼 연장해서 필드 플레이트(48)가 형성된다. 도 9에 나타낸 실시예에서, 패시베이션 층(50)은 필드 플레이트(48)용의 스페이서 층으로서 기능한다. 상기 게이트(46) 위의 필드 플레이트(48)의 증착량 및 게이트-드레인 영역 내의 연장량은 최적의 결과를 위해 변경될 수 있다. 필드 플레이트(48) 및 게이트(46)는 접속부(도시 생략)를 경유해서 전기적으로 접속될 수도 있다.
- [0047] 어떤 실시예에서, 필드 플레이트(48)는 거리(Lf)가 0.2 μm 내지 1 μm로 연장되어 있어도 된다. 또 어떤 실시예에서, 필드 플레이트(48)는 거리(Lf)가 0.5 μm 내지 0.9 μm로 연장되어 있어도 된다. 바람직한 실시예에서는 필드 플레이트(48)는 거리(Lf)가 0.7 μm로 연장되어 있어도 된다.
- [0048] 도 9의 실시예에 따라 GaN계 HEMT 구조체를 제조하고 실험하였다. 상기 소자는 120 V 및 4 GHz에서 55% 전력부가효율(PAE)로 작동할 때, 32 W/mm의 전력밀도를 달성하였다.
- [0049] 소자의 성능에 대한 필드 플레이트 거리(Lf)의 효과를 실험하였다. 필드 플레이트 길이(Lf)를 0 내지 0.9 μm의 거리로 변화시킨 이외에는, 도 9의 실시예에 따라 일반적으로 소자들을 제조하였다. 얻어진 소자들의 PAE를 측정하였다. 도 10에 나타낸 바와 같이 PAE는 일단 필드 플레이트 길이가 0.5 μm까지 연장되면, 약 0.7 μm의 최적 길이를 가지며 향상됨을 나타내었다. 그러나, 최적 길이는 구체적인 소자의 설계 뿐 아니라 전압 및 주파수의 작동에 의존한다.
- [0050] 참조문헌
- [0051] 하기 참조문헌은 본 명세서에 참조로서 편입되어 있다:
- [0052] [1] K Asano et al. "Novel High Power AlGaAs/GaAs HFET with a Field- Modulating Plate Operated at 35V Drain Voltage", IEDM Conference, 1998, pp. 59- 62.
- [0053] [2] Y. Ando et al."10-W/mm AlGaN-GaN HFET With a Field Modulating Plate", IEEE Electron Device Letters, Vol. 24, No. 5, May 2003, pp. 289-291.
- [0054] [3] U. S. Patent No. 6,586, 781, issued July 1,2003, to Wu, et al. , entitled "Group III nitride based FETs and HEMTs with reduced trapping and method for producing the same".
- [0055] [4] U. S. Patent No. 5,290, 393, issued March 1,1994, to Nakamura, entitled "Crystal growth method for gallium nitride-based compound semiconductor".
- [0056] [5] U. S. Patent No. 5,686, 738, issued November 11, 1997, to Moustakas, entitled "Highly insulating monocrystalline gallium nitride thin films".
- [0057] [6] U. S. Patent No. 5,393, 993, issued February 28,1995, to Edmond, et al., entitled"Buffer structure between silicon carbide and gallium nitride and resulting semiconductor devices".
- [0058] [7] U. S. Patent No. 5,523, 589, issued June 4,1996, to Edmond, et al. , entitled "Vertical geometry light emitting diode with group III nitride active layer and extended lifetime".
- [0059] [8] U. S. Patent No. 5,739, 554, issued April 14,1998, to Edmond, et al., entitled"Double heterojunction light emitting diode with gallium nitride active layer".

- [0060] [9] U. S. Patent No. 6,316, 793, issued November 13,2001, to Sheppard, et al., entitled "Nitride based transistors on semi-insulating silicon carbide substrates".
- [0061] [10] U. S. Patent No. 6,548, 333, issued April 15,2003, to Smith, entitled "Aluminum gallium nitride/gallium nitride high electron mobility transistors having a gate contact on a gallium nitride based cap segment".
- [0062] [11] U. S. Patent Application Publication No. 2002/0167023, published November 14,2002, by Chavarkar, Prashant; et al., entitled "Group-III nitride based high electron mobility transistor (HEMT) with barrier/spacer layer".
- [0063] [12] U. S. Patent Application Publication No. 2003/0020092, published January 30,2003, by Parikh, Primit, et al., entitled "Insulating gate AlGaIn/GaN HEMT".
- [0064] [13] U. S. Patent No. 5,192, 987, issued March 9, 1993, to Khan, et al. , entitled "High electron mobility transistor with GaN/AlxGaj-xN heterojunctions".
- [0065] [14] U. S. Patent No. 5,296, 395, issued March 22, 1994, to Khan, et al., entitled "Method of making a high electron mobility transistor".
- [0066] [15] Y. F. Wu, A. Saxler, M. Moore, R. P. Smith, S. Sheppard, P. M. Chavarkar, T. Wisleder, U. K. Mishra, P. Parikh, "30 W/mm GaN HEMTs by field plate optimization", IEEE EDL, Vol. 25, No. 3, pp. 117-119, March 2004.
- [0067] [16] S. Karmalkar, U. K. Mishra, "Very high voltage AlGaIn-GaN HEMT using a field plate deposited on a stepped insulator", Solid State Electronics, 45 (2001) 1645- 1652.

[0068] 결론

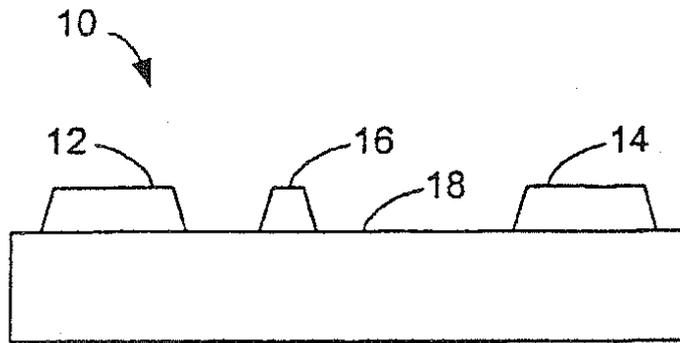
[0069] 이것은 본 발명의 바람직한 실시예의 설명에 대한 결론이다. 상술한 발명의 1개 이상의 실시예의 설명은 예시 및 설명의 목적으로 존재하는 것이다. 본 명세서에 개시된 형태로 본 발명을 규명하거나 제한하고자 하는 것은 아니다. 상기 제시한 것을 바탕으로 많은 변형과 변화가 가능하다. 본 발명의 범위는 이런 자세한 설명에 의해 제한되는 것이 아니라, 여기 덧붙인 청구항에 의한다.

**도면의 간단한 설명**

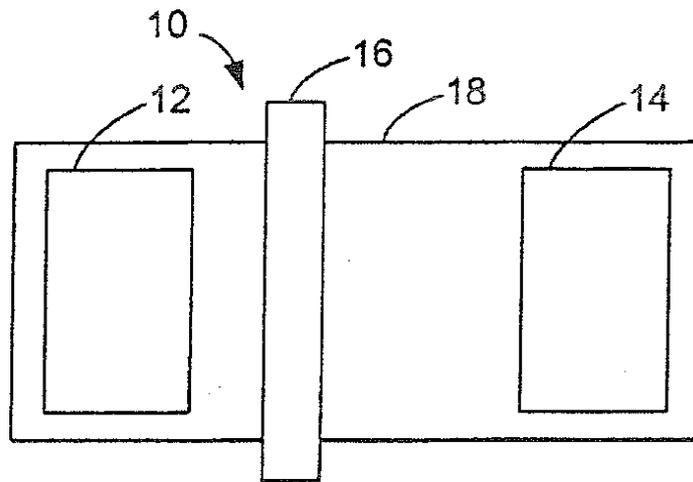
- [0006] 도 1a는 전계 효과 트랜지스터의 단면도이고, 도 1b는 그의 평면도;
- [0007] 도 2a는 절연 물질의 증착/성장을 설명하는 소자의 단면도이고, 도 2b는 그의 평면도;
- [0008] 도 3a는 소자의 외부 영역으로부터 절연 물질의 제거를 설명하는 소자의 단면도이고, 도 3b는 그 소자의 평면도;
- [0009] 도 4a는 게이트 필드 플레이트의 증발을 설명하는 소자의 단면도이고, 도 4b는 그 소자의 평면도;
- [0010] 도 5a는 다중 필드 플레이트 구조의 예를 설명하는 소자의 단면도이고, 도 5b는 그 소자의 평면도;
- [0011] 도 6은  $f_{max}$ 의 의존도에 대한 게이트 핑거 폭의 시뮬레이션 그래프;
- [0012] 도 7a는 게이트의 저항의 감소를 위한 다중 필드 플레이트를 설명하는 소자의 단면도이고, 도 7b는 그 소자의 평면도, 도 7c는 그 소자의 단면도;
- [0013] 도 8은 질화물계 HEMT(고전자 이동도 트랜지스터) 소자의 단위 셀의 개략 단면도;
- [0014] 도 9는 도 8에서 설명된 소자와는 다른 구성을 지닌 질화물계 HEMT 소자의 단위 셀의 개략 단면도;
- [0015] 도 10은 소자의 성능에 대한 필드 플레이트의 거리의 효과를 나타낸 그래프.

도면

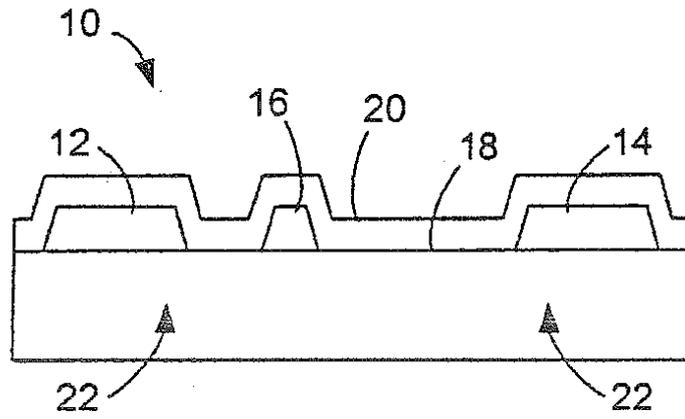
도면1a



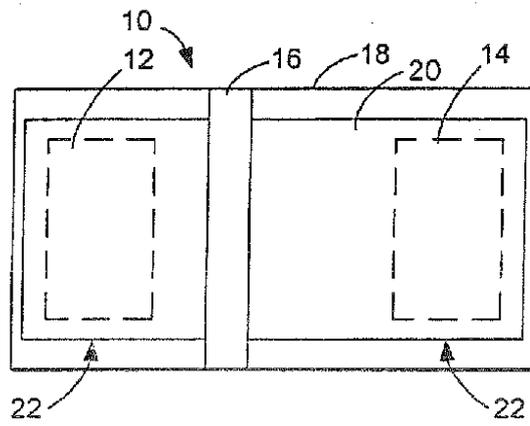
도면1b



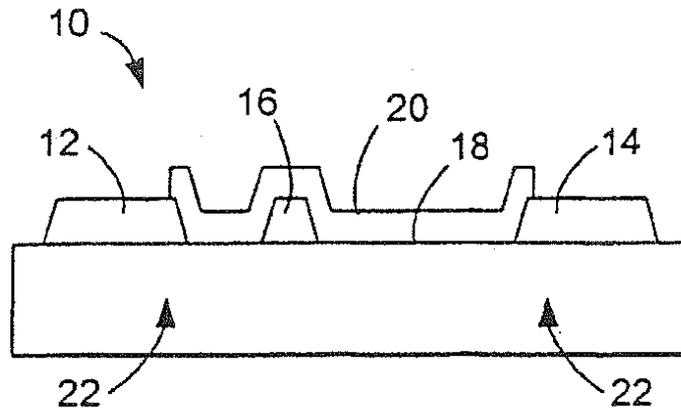
도면2a



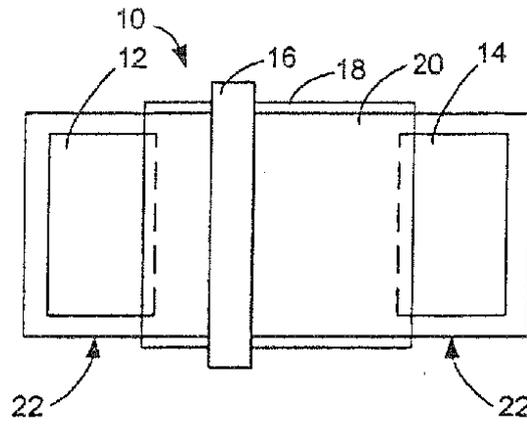
도면2b



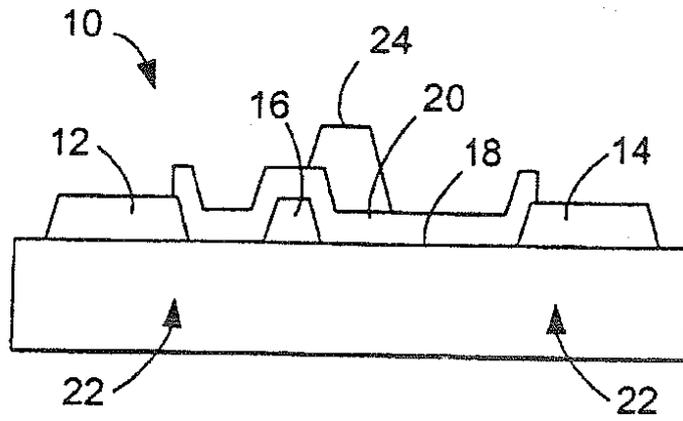
도면3a



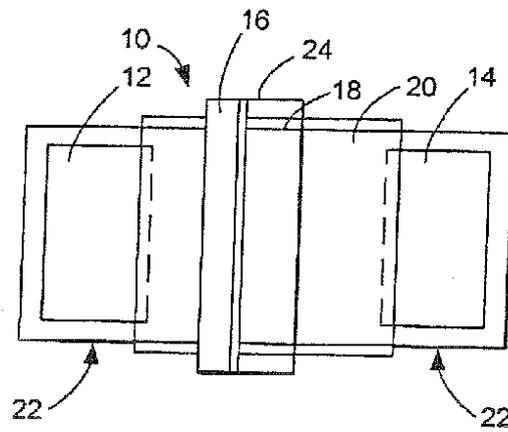
도면3b



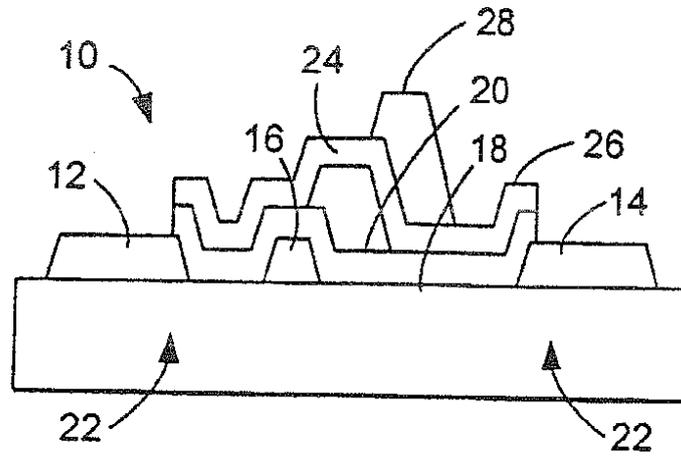
도면4a



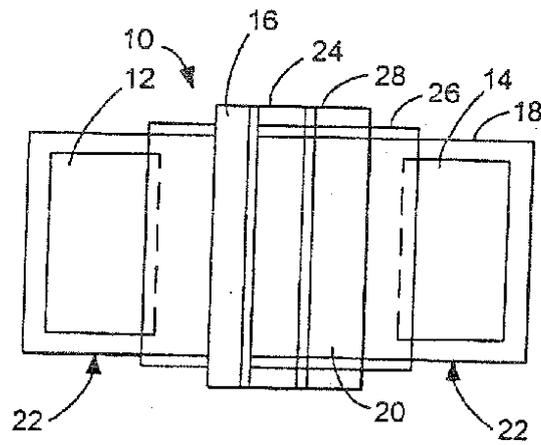
도면4b



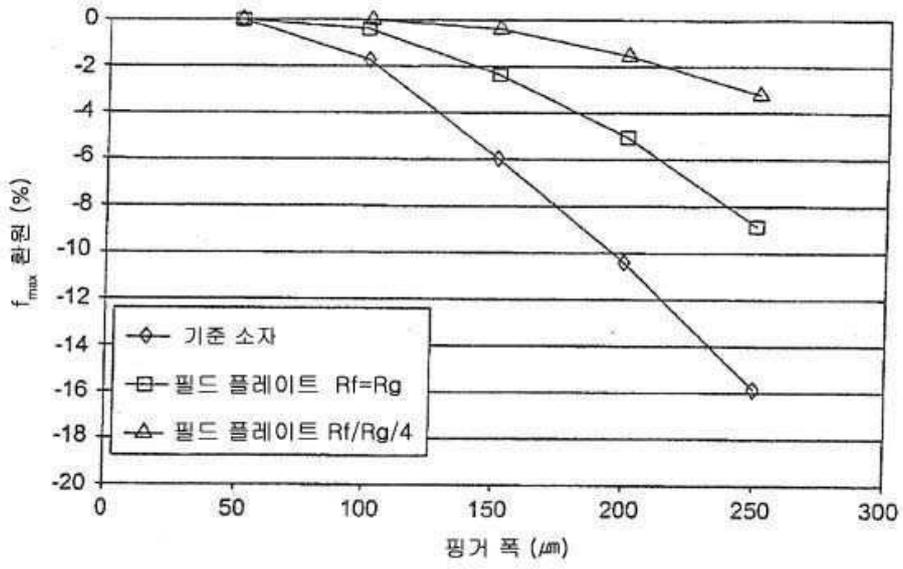
도면5a



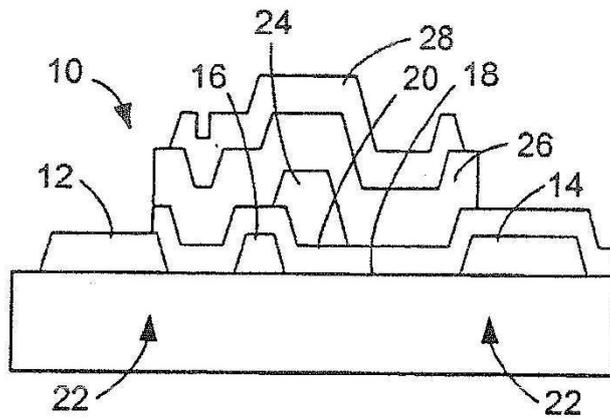
도면5b



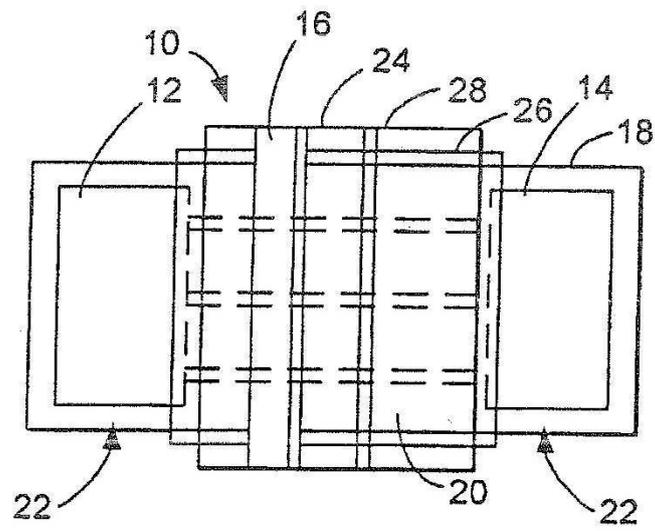
도면6



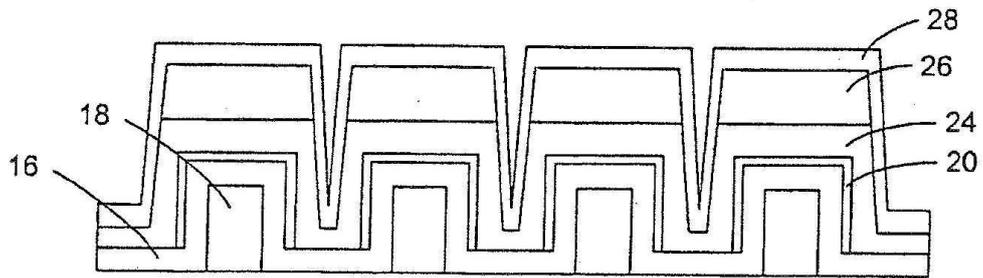
도면7a



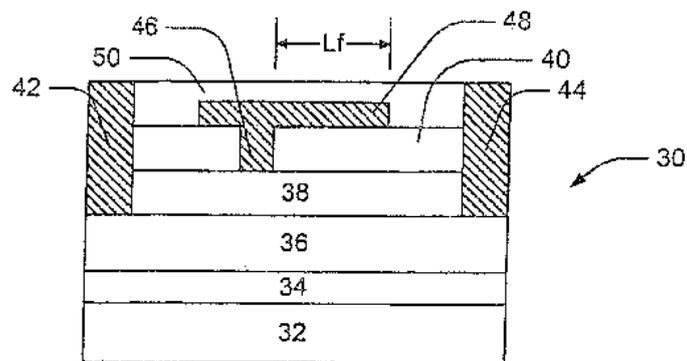
도면7b



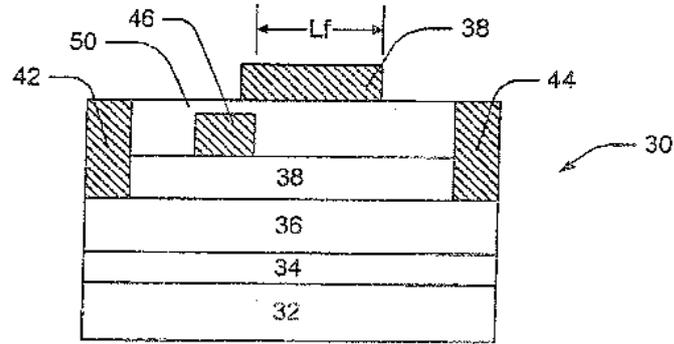
도면7c



도면8



도면9



도면10

