

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-505483
(P2007-505483A)

(43) 公表日 平成19年3月8日(2007.3.8)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 P	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	
HO 1 L 29/778 (2006.01)	HO 1 L 29/06 3 O 1 F	
HO 1 L 29/06 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

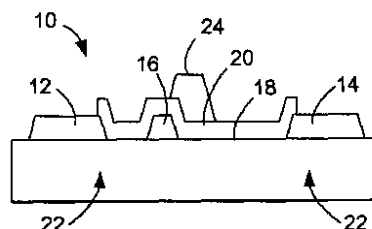
(21) 出願番号	特願2006-525544 (P2006-525544)	(71) 出願人	500025503 ザ リージェンツ オブ ザ ユニバーシ ティ オブ カリフォルニア アメリカ合衆国 カリフォルニア 946 07-5200, オークランド, フラン クリン ストリート 1111, 12ティ ーエイチ フロア
(86) (22) 出願日	平成16年9月9日(2004.9.9)	(71) 出願人	506078378 クリー, インコーポレイティッド アメリカ合衆国 ノースキャロライナ 2 7703, ダラム, シリコン ドライ ブ 4600
(85) 翻訳文提出日	平成18年3月7日(2006.3.7)	(74) 代理人	100078282 弁理士 山本 秀策
(86) 国際出願番号	PCT/US2004/029324		
(87) 国際公開番号	W02005/024909		
(87) 国際公開日	平成17年3月17日(2005.3.17)		
(31) 優先権主張番号	60/501, 557		
(32) 優先日	平成15年9月9日(2003.9.9)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 シングルゲートまたはマルチゲートフィールドプレート製造

(57) 【要約】

電界効果型トランジスタの表面に、誘電性材料の堆積 / 成長させ、誘電性材料をエッチングし、および、メタルを蒸着させる、連続的なステップを用いる、シングルゲートまたはマルチゲートプレートの製造プロセス。本製造プロセスのは、誘電性材料の堆積 / 成長が、典型的には、非常によく制御できるプロセスなので、フィールドプレート動作を厳しく制御できる。さらに、デバイス表面に堆積された誘電性材料は、デバイスの真性領域から除去される必要はない。このため、乾式または湿式のエッチングプロセスで受けるダメージの少ない材料を用いることなく、フィールドプレートされたデバイスを、実現することができる。マルチゲートフィールドプレートを使うと、マルチ接続を使用するので、ゲート抵抗を減らすこともでき、こうして、大周辺デバイスおよび / またはサブミクロンゲートデバイスの性能を向上することができる。



【特許請求の範囲】

【請求項 1】

1 以上のゲートフィールドプレートの製造方法であって、該方法は、デバイスの表面に1つ以上のフィールドプレートを形成するために、誘電性材料を堆積または成長させること、誘電性材料をエッチングすること、および、メタル蒸着することからなる連続的ステップを実行することを包含し、

該表面に堆積される該誘電性材料は、活性領域から除去される必要がなく、それによって、低ダメージの乾式または湿式エッチングプロセスを用いず、フィールドプレートされたデバイスの実現を可能とする、方法。

【請求項 2】

前記ステップが、フィールドプレートオペレーションの厳しい制御を可能とする、請求項 1 に記載の方法。

【請求項 3】

ゲート抵抗を減少させるために、マルチフィールドプレートを用いてマルチ接続を形成することをさらに包含する、請求項 1 に記載の方法。

【請求項 4】

前記フィールドプレートをゲートドレインアクセス領域に配置することで、前記活性領域の調節能力を提供し、その結果、高い無線周波数(RF)信号下での適切なデバイス動作を妨げる表面トラッピングの影響を減少させる、請求項 1 に記載の方法。

【請求項 5】

前記デバイスにダメージを与える前記乾式または湿式エッチングプロセスに、前記活性領域の前記表面を、一切曝さないようにすることをさらに包含する、請求項 1 に記載の方法。

【請求項 6】

外因性領域にある少なくとも2つの平行なゲートを電氣的に接続することで、ゲート抵抗を著しく減少させるために、前記誘電性材料の厚さを適切に調整して、該誘電性材料のトップに、平行なゲートコンタクトを堆積させることをさらに包含する、請求項 1 に記載の方法。

【請求項 7】

前記デバイスが、ソースオーミックコンタクトとドレインオーミックコンタクト、ゲートコンタクト、および、活性領域を含む電界効果型トランジスタである、請求項 1 に記載の方法。

【請求項 8】

前記実行ステップが、

(1) 前記デバイスの真性および外因性領域に、前記誘電性材料を堆積または成長させることと、

(2) 該誘電性材料が、主として、前記デバイスの活性領域に残るように、該誘電性材料をパターニングすることと、

(3) 該パターニングされた誘電性材料にフィールドプレートを生成することであって、ゲートフィールドコンタクトとフィールドプレートコンタクトとが、少なくとも、前記外因性領域での、少なくとも片側で電氣的に短絡され、それによって、両コンタクト間に低抵抗接続を提供する、ことと

をさらに包含する、請求項 1 に記載の方法。

【請求項 9】

前記誘電性材料の厚さが、前記デバイスの適切な動作を達成するために、制御される、請求項 8 に記載の方法。

【請求項 10】

前記パターニングステップ(3)が、乾式または湿式エッチングプロセス、あるいは、リフトオフプロセスによって、前記誘電性材料をパターニングすることを包含する、請求項 8 に記載の方法。

10

20

30

40

50

【請求項 1 1】

前記生成ステップ(3)が、前記誘電性材料上に、フィールドプレートを蒸着することを包含する、請求項 8 に記載の方法。

【請求項 1 2】

複数のフィールドプレートを形成するために、前記ステップ(1)~(3)が繰り返される、請求項 8 に記載の方法。

【請求項 1 3】

前記フィールドプレートが、ゲート抵抗 R_g に等価な抵抗 R_f を有する、請求項 8 に記載の方法。

【請求項 1 4】

前記フィールドプレートが、前記デバイスの真性領域の両側に接続されている、請求項 8 に記載の方法。

【請求項 1 5】

ゲート抵抗を減少させるために、前記ゲートと前記フィールドプレートとの間に、マルチ接続を形成することをさらに包含する、請求項 8 に記載の方法。

【請求項 1 6】

前記形成ステップが、前記ゲートと前記フィールドプレートとの間にマルチ接続を形成するための該ゲートの堆積の前に、前記活性領域の小部分をエッチングすることを包含する、請求項 1 5 に記載の方法。

【請求項 1 7】

前記デバイスの熱インピーダンスを設計するために、前記活性領域間にスペーシングすることをさらに包含する、請求項 1 5 に記載の方法。

【請求項 1 8】

前記デバイスは、エアブリッジの数を減少させた大周辺デバイスを含む、請求項 1 5 に記載の方法。

【請求項 1 9】

前記生成ステップは、ゲート抵抗を低くするために、T字型プロセスを用いずに、前記マルチ接続を生成するステップを包含する、請求項 1 5 に記載の方法。

【請求項 2 0】

前記生成ステップは、平行なフィールドプレートを用いて、前記マルチ接続を生成するステップを包含する、請求項 1 5 に記載の方法。

【請求項 2 1】

前記生成ステップは、デバイスの線形性能を向上させるために、ソースアクセス抵抗を調節するために、ゲートソースアクセス領域をカバーする前記フィールドプレートを形成するステップを包含する、請求項 2 0 に記載の方法。

【請求項 2 2】

請求項 1 に記載の方法を使用して製造される、デバイス。

【請求項 2 3】

ゲートフィールドプレートを製造する方法であって、

(a) デバイスの真性領域と外因性領域上に、誘電性材料を堆積または成長することと、
(b) 該誘電性材料が、主として、該デバイスの活性化領域に残るように、該誘電性材料をパターニングすることと、

(c) 該パターニングされた誘電性材料の上に、フィールドプレートを生成することであって、ゲートコンタクトとフィールドコンタクトは、該外因性領域の少なくとも片側で電氣的に短絡され、それによって、両コンタクト間に低抵抗接続を提供する、ことと

を包含する、方法。

【請求項 2 4】

前記デバイスを適切な動作を達成するために、前記誘電性材料の厚さが制御されている、請求項 2 3 に記載の方法。

【請求項 2 5】

10

20

30

40

50

前記パターンニングステップ (b) は、乾式エッチングまたは湿式エッチング、あるいは、リフトオフプロセスによって、前記誘電体材料をパターンニングすることを包含する、請求項 23 に記載の方法。

【請求項 26】

前記生成ステップ (c) は、前記パターンニングされた誘電体材料上に、フィールドプレートを蒸着することを包含する、請求項 23 に記載の方法。

【請求項 27】

前記ステップ (a) と (b) は、複数のフィールドプレートを生成するために、繰り返し行われる、請求項 23 に記載の方法。

【請求項 28】

基板と、
 該基板上に成長させた核形成層と
 該核形成層上に形成されたチャネル層と、
 該チャネル層に形成されたバリア層と、
 該バリア層上に成長させた半導体スペーサ層と、
 ソース電極とドレイン電極であって、該ゲート電極が適切なレベルでバイアスされたとき、該ソース電極と該ドレイン電極との間で電流が流れるように、該バリア層を介してオーミックコンタクトするように形成された、ソース電極とドレイン電極とを備える、高電子移動度トランジスタ (H E M T) であって、
 該ゲート電極の少なくとも一部分がバリア層の表面上にあるように、該スペーサ層はエッチングされ、該ゲート電極は堆積され、
 該ゲート電極が、該ゲート電極から該ドレイン電極に向かってある距離拡がるフィールドプレートを形成するように、該ゲート電極の一部分は、該スペーサ層を横切って拡がるようにパターンニングされている、 H E M T 。

10

20

【請求項 29】

前記電流は、前記ゲート電極が適切なレベルでバイアスされているとき、前記チャネル層とバリア層との間のヘテロ界面で生じる二次元電子ガス (2 D E G) を介して、前記ゲート電極とドレイン電極との間を流れる、請求項 28 に記載の H E M T 。

【請求項 30】

前記スペーサ層上の前記ゲート電極の一部分は、エピタキシャルフィールドプレートを形成する、請求項 28 に記載の H E M T 。

30

【請求項 31】

前記スペーサ層をカバーする誘電性パッシベーション層をさらに備える、請求項 28 に記載の H E M T 。

【請求項 32】

前記スペーサ層は、誘電性層、アンドープのまたは空乏化した $A l_x G a_{1-x} N$ ($0 < x < 1$) 材料の層、あるいは、その組合せを含む、請求項 28 に記載の H E M T 。

【請求項 33】

前記フィールド層は、前記スペーサ層の上に形成され、前記ゲート電極の端から前記ドレイン電極に向かって、距離 L_f (フィールドプレート距離) まで拡がる、請求項 28 に記載の H E M T 。

40

【請求項 34】

前記フィールドプレートは、前記ゲート電極に電氣的に接続されている、請求項 28 に記載の H E M T 。

【請求項 35】

前記フィールドプレートは、前記ゲート電極の成長と同じ堆積ステップの間に形成される、請求項 28 に記載の H E M T 。

【請求項 36】

前記フィールドプレートとゲート電極は、別個の堆積ステップの間に形成される、請求項 28 に記載の H E M T 。

50

【請求項 37】

前記基板は、シリコンカーバイド、サファイア、スピネル、酸化亜鉛、シリコン、あるいは、III族窒化物材料の成長をサポートできる他の任意の材料からなる、請求項 28 に記載の HEMT。

【請求項 38】

前記核形成層は、 $Al_z Ga_{1-z} N$ ($0 < z < 1$) 核形成層である、請求項 28 に記載の HEMT。

【請求項 39】

前記核形成層は、AlN 核形成層である、請求項 28 に記載の HEMT。

【請求項 40】

前記チャネル層は、高抵抗の III 族窒化物チャネル層である、請求項 28 に記載の HEMT。

10

【請求項 41】

前記チャネル層は、 $Al_x Ga_y In_{(1-x-y)} N$ ($0 < x < 1$, $0 < y < 1$, $x + y < 1$) を含む、請求項 28 に記載の HEMT。

【請求項 42】

前記チャネル層は、GaN:Fe を含む、請求項 28 に記載の HEMT。

【請求項 43】

前記バリア層は、 $Al_x Ga_{1-x} N$ ($0 < x < 1$) を含む、請求項 28 に記載の HEMT。

20

【請求項 44】

前記バリア層は、AlN および AlGaN を含む、請求項 28 に記載の HEMT。

【請求項 45】

前記チャネル層とバリア層のそれぞれは、III 族窒化物材料のドーブまたはアンドーブの層であるサブ層を含む、請求項 28 に記載の HEMT。

【請求項 46】

前記スペーサ層は、 $Al_x Ga_{1-x} N$ バリア層上に成長される、III 族窒化物半導体スペーサ層を含む、請求項 28 に記載の HEMT。

【請求項 47】

前記スペーサ層は、均一な組成を有する、請求項 28 に記載の HEMT。

30

【請求項 48】

前記スペーサ層は、勾配のある組成を有する、請求項 28 に記載の HEMT。

【請求項 49】

前記スペーサ層は、アンドーブである、請求項 28 に記載の HEMT。

【請求項 50】

前記スペーサ層は、成長すると完全に空乏化する、請求項 28 に記載の HEMT。

【請求項 51】

前記ゲート電極は前記バリア層が形成された後に形成され、パッシベーション層は前記デバイス上に堆積され、

前記フィールドプレートは、該ゲートをオーバーラップし、ゲート-ドレイン領域で距離 L_f 拡がるように、該パッシベーション層に次いで形成され、該パッシベーション層は該フィールドプレートに対してスペーサ層として働く、請求項 28 に記載の HEMT。

40

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の参照)

本出願は、以下の同時係属中で、同一出願人による米国仮特許出願 (シリアル番号第 60/501,557 号、題名「FABRICATION OF SINGLE OR MULTIPLE GATE FIELD PLATES」、Alessandro Chini、Umesh K. Mishra、Primit Parikh、および

50

、Y i f e n g W uによって、2003年9月9日出願、代理人整理番号第30794.105-US-P1号)の米国法典第35巻第119条(e)項の利益を主張するものであり、その出願がここに援用される。

【0002】

(連邦によるスポンサー研究および開発に関する声明)

本発明は、ONR MURIプログラムによって与えられた助成金第N00014-01-1-0764号、および、AFOSR MURIプログラムによって与えられた助成金第F49620-99-1-0296号の下、政府支援により行われた。政府は、本発明に関し、特定の権利を有する。

【0003】

(本発明の分野)

本発明は、半導体デバイスに関し、特に、シングルゲートまたはマルチゲートフィールドプレートの製造に関する。

【背景技術】

【0004】

(注：本出願は、カッコ内の参照番号(例えば、[x])で、本明細書に示す様々な文献を参照している。これら刊行物のリストは、参照番号順に並べ、「参考文献」と題する節で、以下に列挙される。これら刊行物のそれぞれは、ここに援用される。)

半導体ベースの電界効果型トランジスタ(FET)において、動作中に、ゲート-ドレインのアクセス領域で、大きな電界が発生する。フィールドプレーティングは、高電界動作下におけるデバイス性能向上と、表面トラッピング現象を緩和する周知の技術である[1]、[2]。例えば、フィールドプレーティングは、高電界でデバイス動作中に起こる有害な影響全て(絶縁破壊電圧、トラッピングの影響、信頼性)を緩和する効果的で、周知の技術となっている。

【0005】

フィールドプレーティングの基本的概念は、デバイス活性領域の縦方向空乏に依存するもので、これにより、横方向の空乏領域に、より拡がりを持たせることができる。この結果、ある与えられたバイアス電圧において、デバイス活性領域の電界がより低くなり、デバイスが高電界で動作しているときに常に生じる有害な影響全て(低い絶縁破壊電圧、トラッピング現象、低い信頼性)を緩和できる。さらに、ゲート-ドレインアクセス領域に位置するフィールドプレートは、デバイス活性領域の調節能力もあり、その結果、高い無線周波数(RF)信号下での適切なデバイス動作を妨げる表面トラッピングの影響を減少させる。

【0006】

しかしながら、必要とされているのは、シングルゲートまたはマルチゲートフィールドプレート製造の改善方法、および、シングルゲートまたはマルチゲートフィールドプレートを組み込んだ改善構造である。

【発明の開示】

【課題を解決するための手段】

【0007】

(本発明の概要)

本発明の実施形態は、シングルゲートまたはマルチゲートフィールドプレート製造の改善方法を提供する。本発明に基づく製造プロセスは、電界効果型トランジスタの表面に、誘電性材料を堆積または成長させ、誘電性材料をエッチングし、および、メタルを蒸着させる、連続的なステップを含む。本製造プロセスの利点は、誘電性材料の厚みを厳しく(tight)制御できること、および、電界効果型トランジスタを形成する半導体材料にダメージを与える任意の乾式または湿式エッチングプロセスに、デバイス活性領域の表面を、一切曝さないことを含む。さらに、デバイス表面に堆積された誘電性材料は、デバイスの真性領域から除去される必要はない。このため、乾式または湿式エッチングプロセスで生じるダメージを受けることなく、フィールドプレートされたデバイスを、実現する

10

20

30

40

50

ことができる。マルチゲートフィールドプレートを使うと、マルチ接続を使用するので、ゲート抵抗を減らすことができ、大周辺デバイスおよび/またはサブミクロンゲートデバイスの性能を向上できる。最終的に、誘電性材料の厚みを適切に調整すると、平行なゲートコンタクトを誘電性材料の上に、堆積させることができる。これは、デバイスの外因性領域で、平行なゲートコンタクトを電氣的に接続して、ゲート抵抗を著しく減少するためである。

【発明を実施するための最良の形態】

【0008】

(本発明の詳細な説明)

以下の好ましい実施形態の記述の中で、その記述の一部を形成する添付図面を参照する。その添付図面は、本発明が実施されうる特定の実施形態を図によって示すものである。本発明の範囲から逸脱することなく、他の実施形態も利用されうるし、構造的な変更もなされうることは、理解されるべきである。

10

【0009】

(概観)

本発明は、電界効果型トランジスタ(FET)用のシングルゲートまたはマルチゲートフィールドプレート構造を実現するためのものである。本発明は、シンプルで、典型的に十分制御された連続的なプロセッシングステップ(誘電性材料の堆積または成長、誘電性材料のエッチング、および、メタル蒸着)を用いる。

【0010】

(製造プロセス)

図1A、図1B、図2A、図2B、図3A、図3B、図4A、および、図4Bに、本発明の一実施形態に基づく製造プロセスを、一つの可能な形で実現するときのステップを示す。ここで、製造プロセスには、ゲートフィールドプレートを製造する方法を含む。

20

【0011】

図1Aは、電界効果トランジスタ(FET)10の断面図で、図1Bはその平面図である。電界効果型トランジスタ10は、ソースオーミックコンタクト12と、ドレインオーミックコンタクト14、ゲートコンタクト16、および、活性領域18を含む。製造プロセスの各ステップは、電界効果型トランジスタ10あるいは他のデバイスに適用される。一般的に、本方法は、誘電性材料の堆積または成長、誘電性材料のエッチング、および、メタル蒸着の連続的なステップの実施を包含する。これは、デバイスの表面に、1以上のフィールドプレートを生成するためである。ここで、各ステップは、フィールドプレートオペレーションを厳しく制御することができ、表面に堆積された誘電性材料は、活性領域18から除去される必要がない。そのため、誘電性材料に与えるダメージの少ない乾式または湿式エッチングプロセスを用いることなく、フィールドプレートされたデバイスを実現できることである。この実施ステップは、さらに、以下のステップを包含する。(1)デバイスの真性および外因性領域に、誘電性材料を堆積または成長させ、ここで、誘電性材料の厚さは、デバイスが適切な動作を実行するために制御され、(2)乾式または湿式エッチングプロセス、あるいは、リフトオフプロセスで、誘電性材料をパターンニングし、誘電性材料が、主として、デバイスの活性領域に残るようにし、そして、(3)パターンニングされた誘電性材料上にフィールドプレートを蒸着させ、ここで、ゲートコンタクトおよびフィールドコンタクトが少なくとも外因性領域の片側(one side)で電氣的に短絡され、両コンタクト間に低抵抗接続を提供する。これらステップは、図2A、図2B、図3A、図3B、図4A、および、図4Bとともに、以下に、より詳細に記述される。

30

40

【0012】

図2Aはデバイスの断面図で、図2Bはデバイスの平面図であり、これらは製造プロセスの第一ステップを示す。このステップには、デバイス10の真性および外因性領域に、誘電性材料20を堆積または成長させることを含む。誘電性材料20の厚さは、最終デバイス10が適切な動作を実行するために制御されるべき、重要なパラメータである。しか

50

しながら、これは、例えば、PECVD（プラズマ化学気相成長）などの多くの堆積／成長技術で、通常、十分制御されたプロセスである。典型的な材料としては、シリコン窒化物およびシリコン酸化物であるが、乾式または湿式エッチング、あるいは、リフトオフで、パターンニングさせることが可能であれば、他の材料も使うことができる。

【0013】

図3Aは、デバイス断面図で、図3Bはデバイス平面図であり、これらは製造プロセスの第二ステップを示す。このステップには、デバイスの外因性領域22から、エッチングあるいは除去で、誘電性材料20をパターンニングすることを含む。これは、誘電性材料20が、主として、デバイス10の活性領域18に残るようにするためである。パターンがエッチングで形成された場合、そのステップの間、デバイスを形成する半導体材料にダメージを与えうる任意の乾式または湿式エッチングに、活性領域18の表面を、一切曝さないで、デバイス10の表面が保護されるということは、強調されるべきである。このステップの後に、オーミックコンタクト12、14は、デバイスの外因性領域22に属するゲート部16とともに、電氣的にアクセス可能となる。

10

【0014】

図4Aは、デバイス断面図で、図4Bはデバイス平面図であり、これらは製造プロセスの第三ステップを示す。このステップには、パターンニングされた誘電性材料20上に、フィールドプレート24を生成することを含む。ここで、ゲート16コンタクトおよびフィールドプレート24コンタクトは、両コンタクト間が低抵抗接続となるように、外因性領域の少なくとも片側で電氣的に短絡されている。好ましくは、メタル蒸着は、フィールドプレート24を形成するために用いられる。ここで、フィールドプレート24は、メタルストライプまたはメタルコンタクトからなる。フィールドプレート24は、ゲート16ドレインのアクセス領域に位置することで、活性領域18の調節能力を提供し、その結果、高いRF信号下での適切なデバイス動作を妨げる表面トラッピングの影響を減少させることができる。フィールドプレート24は、デバイスの真性領域の両側に接続されており、ゲート16およびフィールドプレート24とは、外因性領域22の少なくとも片側で、電氣的に短絡されており、その2つのメタル線間に低抵抗接続を提供している。フィールドプレート24のオフセットおよび長さは、狙いとするデバイス性能、すなわち、絶縁破壊電圧やRF性能などを考慮して、最適化される。

20

【0015】

マルチフィールドプレートが必要とされる場合には、図2A、図2B、図3A、図3B、図4A、および、図4Bとともに示した三つのステップ（誘電性材料の堆積または成長、誘電性材料のエッチング、および、メタル蒸着）が繰り返されて、可能となる。

30

【0016】

図5Aは、デバイス断面図で、図5Bはデバイス平面図であり、これらは、マルチゲートフィールドプレートで使う、マルチ接続を形成した一例を示す。これは、ゲート抵抗を減少させるためであり、これによって、大周辺デバイスおよび／またはサブミクロンゲートデバイスの性能を向上させることができる。本例は、2段フィールドプレート構造であり、誘電性材料26の更なる層と、メタルストライプまたはメタルコンタクトからなる更なるフィールドプレート28を含む。誘電性材料26の厚さ、ゲート16と他のフィールドプレート24とを考慮したフィールドプレート28の長さとおセット、および、導入されるフィールドプレート24、28の数が、製造プロセスパラメータを構成する。マルチフィールドプレート24、28を使うことで、デバイス10の設計は、さらに自由になり、高電圧デバイス10の実現にも大きなインパクトをもたらす。

40

【0017】

また、本発明の利点は、大周辺デバイスのゲート抵抗によって引き起こされるRF性能低下を緩和する可能性である。典型的には、最大変動周波数（ f_{max} ）は、ゲート抵抗増加によるゲートフィンガー幅の拡大で、減少する。

【0018】

図6は、 f_{max} 依存性とゲートフィンガー幅との関係をシミュレーションしたグラフ

50

である。グラフに示すように、活性領域の両端で短絡されたフィールドプレート構造を導入すると、大きなフィンガー幅のデバイスの f_{max} 性能は、向上する。ゲート抵抗 R_g に等価な抵抗 R_f を有し、活性領域の両側に接続されたフィールドプレートを使うと、 f_{max} 性能は著しく向上する。更なる向上は、フィールドプレート抵抗を下げることで、達成される。フィールドプレート構造によって追加された寄生容量が、真性デバイスの寄生容量に比べ、無視できる程度の場合のみ、この減少が見られることは、強調されるべきである。これは、誘電性材料を適切に選択し、その厚さを適切に選択することで達成でき、プロセスの最適化として、考えられねばならない。

【0019】

ゲートとフィールドプレート間のマルチ接続は、また、ゲート抵抗の著しい減少を招く。RF動作が著しく低下しないマルチ接続を達成するためには、活性領域の小部分をゲート堆積の前にエッチングする。これは、デバイスのRF動作を悪化させずに、ゲートとフィールドプレートの間にマルチ接続を生成するためである。

10

【0020】

この領域において、ゲートプレートおよびフィールドプレートは、デバイスに何ら寄生容量を追加することなく、接続されうる。繰り返しになるが、デバイス性能が改善するのは、導入された寄生容量が、真性デバイスの寄生容量に比し、小さい場合のみである。さらに、個々の活性領域間のスペーシングは、従来型配置のデバイスに比し、熱インピーダンスをより効率的にするように、設計するために使われている。

【0021】

重要なパラメータは、誘電性材料の選択、その誘電性材料の厚さ、フィールドプレートの長さである。これらの重要なパラメータは、ここで提案する製造プロセスの各ステップを最適化する上で、考えられなくてはならない。

20

【0022】

本方法を使うことで、エアブリッジの数を減らした大周辺デバイスの製造ができる。さらに、サブミクロンデバイスの製造にあたっては、本発明の利点を活かすことができる。典型的には、サブマイクロゲートは、T字型プロセス (T-shape process) を用いて、製造される。なぜなら、T字型にすると、標準のゲート形状に比べ、ゲート抵抗が減少するからである。サブマイクロゲートであっても、T字型プロセスを用いないマルチ接続を形成すると、ゲート抵抗を低くすることができる。

30

【0023】

さらに、平行なゲートコンタクトは、誘電性材料の厚さを適切に調整して、誘電性材料のトップに堆積されることができる。これは、デバイスの外因性領域上の平行なフィールドプレートを用いたマルチ接続を形成することで、ゲート抵抗を著しく減少させるためである。低い抵抗の経路は、ゲートプレートとフィールドプレートとの間の接続が起こる幅を適切に選択することで、平行なフィールドプレートによって、提供される。

【0024】

図7Aはデバイスの断面図で、図7Bはデバイスの平面図で、図7Cはデバイス断面図であり、これらは、ゲート抵抗を減らしたマルチフィールドプレート構造の例を示したものである。さらに、図7A、図7B、および、図7Cに示すように、ゲートソースアクセス領域をカバーするフィールドプレートを有することで、デバイスの線形性能を向上するため、ソースアクセス抵抗を調節するためにも、使われる。

40

【0025】

(ガリウム窒化物ベースのフィールドプレートを有する高電子移動度トランジスタ)

AlGa_N/Ga_Nの高電子移動度トランジスタ (HEMT) を含む Ga_N ベースのトランジスタは、RF周波数、マイクロ波周波数、および、ミリ波周波数で、非常に高い電圧で、かつ、ハイパワーでの動作が可能である。しかしながら、電子トラッピング、および、それに続くDC特性とRF特性との違いによって、これらデバイスの性能に、制限がかけられていた。このトラッピング問題を緩和するために、SiNパッシベーションが用いられ、成功を収めてきた結果、10GHzで、電力密度10W/mmを超える高性能デ

50

バイスが可能になった。例えば、[3]は、GaNトランジスタのトラッピングの影響を減らすための方法と構造とを開示している。しかしながら、こうした構造に存在する高電界のために、電荷トラッピングは、相変わらず、問題となっている。

【 0 0 2 6 】

本発明は、AlGa_xN/GaN HEMTパワーデバイスの性能向上に使われて、成功されてきた。4 GHz動作では、サファイア基板において、電力密度は12 W/mmが、シリコンカーバイド基板では、電力密度18.8 W/mmが、それぞれ達成された。フィールドプレート製造にかかるプロセッシングのステップがシンプルであるので、本発明は、AlGa_xN/GaN HEMTの技術や他の半導体デバイスの開発に使われうる。適切に設計されたマルチフィールドプレートを使うと、このようなデバイスの絶縁破壊と大RF信号性能とを両方とも、大いに改善する。

10

【 0 0 2 7 】

GaNベースのHEMTは、チャンネル層、および、そのチャンネル層上のバリア層とを含む。メタルソースコンタクトとドレインオーミックコンタクトは、バリア層に接して、形成される。ゲートコンタクトは、ソースコンタクトとドレインコンタクトの間のバリア層上(on)に形成され、スペーサ層は、バリア層の上に(above)形成される。スペーサ層は、誘電性層、アンドープの(undoped)または空乏化した(depleted)Al_xGa_{1-x}N(0 < x < 1)材料、あるいは、その組合せを含みうる。伝導性のフィールドプレートは、スペーサ層の上に(above)形成され、ゲートコンタクトの端からドレインコンタクトへ向かって、距離L_f(フィールドプレート距離)拡がる。フィールドプレートは、ゲートコンタクトに、電氣的に接続されていてもよい。一部の実施形態においては、フィールドプレートは、ゲートコンタクトの成長(extension)と同じ堆積ステップの間に、形成される。また、一部の実施形態においては、フィールドプレートとゲートコンタクトは、別個の堆積ステップの間に形成される。この配置は、デバイスのピーク電界を減少し、この結果、絶縁破壊電圧も高くなり、トラッピングも減少する。電界の減少は、電流リークの減少や信頼性向上といった他のメリットにも繋がる。

20

【 0 0 2 8 】

本発明の一実施形態を図8に示す。これは、窒化物ベースのHEMTデバイスのユニットセル30の断面模式図である。特に、デバイス30は、基板32を含む。基板32は、シリコンカーバイド、サファイア、スピネル、ZnO、シリコン、あるいは、III族窒化物材料の成長をサポートできる他の任意の材料を含みうる。Al_zGa_{1-z}N(0 < z < 1)の核形成(nucleation)層34は、MOCVD(有機金属化学気相成長法)、HVPE(ハイドライド気相成長法)、あるいは、MBE(分子線成長法)などのエピタキシャル結晶成長法で、基板32上に成長される。核形成層34の形成は、基板32の材料に依存しうる。例えば、様々な基板上に核形成層34を形成する方法は、[4]と[5]に教示されている。シリコンカーバイド基板32上に核形成層34を形成する方法は、[6]、[7]、および、[8]に開示されている。

30

【 0 0 2 9 】

高抵抗のIII族窒化物チャンネル層36は、核形成層34上の形成される。チャンネル層36は、Al_xGa_yIn_(1-x-y)N(0 < x < 1、0 < y < 1、x + y < 1)を含みうる。次いで、Al_xGa_{1-x}N(0 < x < 1)のバリア層38は、チャンネル層36上に形成される。チャンネル層36とバリア層38の各層は、III族窒化物材料のドーピングまたはアンドープの層からなりうるサブ層を含みうる。例示的な構造は、[3]、[9]、[10]、[11]、および、[12]に示されている。他の窒化物ベースのHEMTの構造は、[13]、および、[14]に示されている。

40

【 0 0 3 0 】

図8に示される実施形態では、III族窒化物半導体スペーサ層40は、Al_xGa_{1-x}Nバリア層38上に成長される。スペーサ層40の組成は、均一であっても、勾配を有していてもよい。スペーサ層40は、アンドープされることもあり、成長すると、完全

50

に空乏化されるように設計されることもあるが、その一方のみ、その双方でもよい。

【0031】

ソース電極42とドレイン電極44は、バリア層38を介し、オーミックコンタクトをできるように形成される。これは、電流がソース電極42とドレイン電極44との間に流れるようにするためである。その経路は、ゲート電極46に適切なレベルのバイアス電圧を印加したとき、チャンネル層36とバリア層38間のヘテロ界面で生じる二次元電子ガス(2DEG)を介して(via)である。ソース電極42とドレイン電極44の形成は、上記で参照した特許文献および刊行物に詳細に記載されている。

【0032】

スペーサ層40は、エッチングされえて、ゲート電極46は、そのゲート電極46の底が、バリア層38の表面となるように堆積されうる。ゲート電極46を形成するメタルは、スペーサ層40を横切って拡がるように、パターニングされてもよい。それは、ゲート46の最上部が、ゲート46の端からドレイン44に向かって、距離Lf拡がるフィールドプレート構造48を形成するためである。別の言い方をすれば、スペーサ層40に残るゲート46のメタル部分が、エピタキシャルフィールドプレート48を形成する。最終的に、その構造は、シリコン窒化物のような誘電性パッシベーション層50で、覆われる。誘電性パッシベーション層50を形成する方法は、上記で参照した特許文献および刊行物に詳細に記載されている。

【0033】

また、本発明の別の実施形態が、図9に示されている。これは、図8に示した図と異なる構成を有する窒化膜ベースのHEMTデバイスのユニットセル30の断面模式図である。図9に示すデバイス30の基板32、核形成層34、チャンネル層36、および、バリア層38は、図8に示す各層と対応する同じ層である。一部の実施形態では、基板32には、半絶縁性の4H-SiC(ノースカロライナ州DurhamのCree, Inc.より市販)を含み、核形成層34は、AlNで形成され、また、チャンネル層36は、2 μ m厚のGaN:Fe層を含み、このとき、バリア層38は、0.8nmのAlNおよび22.5nmのAl_xGa_{1-x}Nを含む。ここで、PL(光ルミネセンス)測定によると、x=0.195である。

【0034】

ゲート電極46は、バリア層38の形成後に形成され、パッシベーション層50がデバイスに堆積される。次いで、フィールドプレート48が、ゲート46とオーバーラップし、ゲート-ドレイン領域で距離Lf拡がるように、パッシベーション層50上に形成される。図9に示す実施形態では、パッシベーション層50は、フィールドプレート48のスペーサ層としての役割を果たす。ゲート46の上の(above)フィールドプレート48のオーバーラップ、および、ゲート-ドレイン領域での拡がり量は、最適な結果を得るために、変更されうる。フィールドプレート48とゲート46は、ビア(via)あるいは他の接続(図示せず)によって、接続している。

【0035】

一部の実施形態において、フィールドプレート48は、距離Lf0.2~1 μ m拡がりうる。一部の実施形態において、フィールドプレート48は、距離Lf0.5~0.9 μ m拡がりうる。好ましい実施形態として、フィールドプレート48は、距離Lf0.7 μ m拡がりうる。

【0036】

図9に従う構造GaNベースのHEMT構造が、構築され、テストされた。そのデバイスは、120Vと4GHzで動作したとき、55%の電力付加効率(PAE)、電力密度32W/mmを達成した。

【0037】

フィールドプレート距離(Lf)がデバイス性能に与える影響が、テストされた。デバイスは、図9の実施形態に、概ね従って、製造された。ただし、フィールドプレート長Lfは、0~0.9 μ mと距離を変化させた。その後、得られたデバイスのPAEを測定し

10

20

30

40

50

た。図10に示すように、フィールドプレート長が $0.5\mu\text{m}$ を一度超えると、PAEは向上し、その最適長さは約 $0.7\mu\text{m}$ であった。しかしながら、最適長さは、個々のデバイス設計に依存しうるし、また、動作する電圧と周波数にも依存しうる。

【0038】

(参考文献)

以下の参考文献が、本明細書中で、参考文献として、組み込まれている。

- [1] K Asanoら、「Novel High Power AlGaAs/GaAs HFET with a Field-Modulating Plate Operated at 35V Drain Voltage」IEDM Conference、1998、pp.59-62 10
- [2] Y. Andoら、「10-W/mm AlGaN-GaN HFET With a Field Modulating Plate」、IEEE Electron Device Letters、Vol. 24、No. 5、2003年5月、pp. 289-291.
- [3] 米国特許第6,586,781号、2003年7月1日発行、Wuら、「Group III nitride based FETs and HEMTs with reduced trapping and method for producing the same」
- [4] 米国特許第5,290,393号、1994年3月1日発行、Nakamura、「Crystal growth method for gallium nitride-based compound semiconductor」 20
- [5] 米国特許第5,686,738号、1997年11月11日発行、Moustakas、「Highly insulating monocrystalline gallium nitride thin films.」
- [6] 米国特許第5,393,993号、1995年2月28日発行、Edmondら、「Buffer structure between silicon carbide and gallium nitride and resulting semiconductor devices」
- [7] 米国特許第5,523,589号、1996年6月4日発行、Edmondら、「Vertical geometry light emitting diode with group III nitride active layer and extended lifetime」 30
- [8] 米国特許第5,739,554号、1998年4月14日発行、Edmondら、「Double heterojunction light emitting diode with gallium nitride active layer」
- [9] 米国特許第6,316,793号、2001年11月13日発行、Sheppardら、「Nitride based transistors on semi-insulating silicon carbide substrates」
- [10] 米国特許第6,548,333号、2003年4月15日発行、Smith、「Aluminum gallium nitride/gallium nitride high electron mobility transistors having a gate contact on a gallium nitride based cap segment」 40
- [11] 米国特許出願公開番号第2002/0167023号、2002年11月14日公開、Chavarakar, Prashantら、「Group-III nitride based high electron mobility transistor (HEMT) with barrier/spacer layer」
- [12] 米国特許出願公開番号第2003/0020092号、2003年1月30日公開、Parikh, Primitら、「Insulating gate AlGaN/GaN HEMT」 50

- [13] 米国特許第5,192,987号、1993年3月9日発行、Khanら、「High electron mobility transistor with GaN/Al_xGa_{1-x}N heterojunctions」
- [14] 米国特許第5,296,395号、1994年3月22日発行、Khanら、「Method of making a high electron mobility transistor」
- [15] Y.-F. Wu、A. Saxler、M. Moore、R.P. Smith、S. Sheppard、P.M. Chavarkar、T. Wisleder、U.K. Mishra、P. Parikh、「30 W/mm GaN HEMTs by field plate optimization」
IEEE EDL、Vol.25、No.3、pp.117-119、2004年3月 10
- [16] S. Karmalkar、U.K. Mishra、Very high voltage AlGa_N-Ga_N HEMT using a field plate deposited on a stepped insulator、Solid State Electronics、45(2001)1645-1652

(結論)

本明細書は、本発明の好ましい実施形態の記載を結論付けるものである。本発明の一以上の実施形態について前述してきたが、これは例示と記述の目的のために、示されたものである。ここに開示した細かな形式で、本発明の網羅を意図したものでも、本発明の制限を意図したものではない。上記に教示したことから、修正や変更を多数行うことも可能である。本発明の範囲は、ここに記載した詳細な記述で限定されることを意図しておらず、むしろ、以下に述べる請求項で限定されることを意図している。 20

【図面の簡単な説明】

【0039】

【図1A】図1Aは、電界効果トランジスタ(FET)の断面図である。

【図1B】図1Bは、電界効果トランジスタ(FET)の平面図である。

【図2A】図2Aは、誘電性材料堆積/成長デバイスの断面図である。

【図2B】図2Bは、誘電性材料堆積/成長デバイスの平面図である。 30

【図3A】図3Aは、デバイスの外因性部分から、誘電性材料の除去を示すデバイス断面図である。

【図3B】図3Bは、デバイスの外因性部分から、誘電性材料の除去を示すデバイス平面図である。

【図4A】図4Aは、ゲートフィールドプレートの蒸着を示すデバイス断面図である。

【図4B】図4Bは、ゲートフィールドプレートの蒸着を示すデバイス平面図である。

【図5A】図5Aは、マルチフィールドプレート構造の一例を示すデバイス断面図である。

【図5B】図5Bは、マルチフィールドプレート構造の一例を示すデバイス平面図である。 40

【図6】図6は、 f_{max} 依存性とゲートフィンガー幅との関係をシミュレーションしたグラフである。

【図7A】図7Aは、ゲート抵抗を減らしたマルチフィールドプレートデバイスのデバイス断面図である。

【図7B】図7Bは、ゲート抵抗を減らしたマルチフィールドプレートデバイスのデバイス平面図である。

【図7C】図7Cは、ゲート抵抗を減らしたマルチフィールドプレートデバイスのデバイス断面図である。

【図8】図8は、窒化膜ベースのHEMT(高電子移動度トランジスタ)デバイスのユニットセルの断面模式図である。 50

【図9】図9は、図8に示した図と異なる構成を有する窒化膜ベースのHEMTデバイスのユニットセルの断面模式図である。

【図10】図10は、フィールドプレート距離が、デバイス性能に与える影響を示すグラフである。

【図1A】

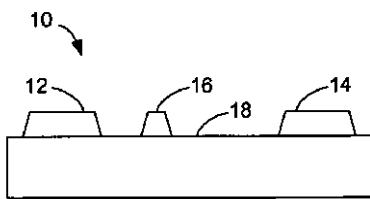


FIG. 1A

【図2A】

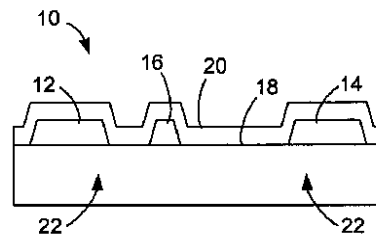


FIG. 2A

【図1B】

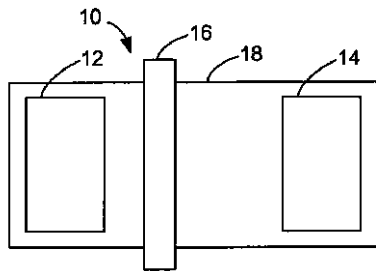


FIG. 1B

【図2B】

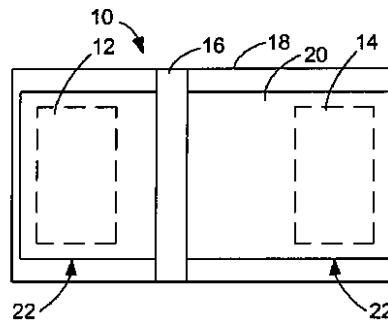


FIG. 2B

【 図 3 A 】

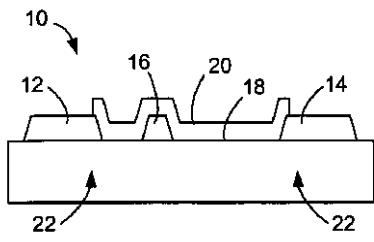


FIG. 3A

【 図 4 A 】

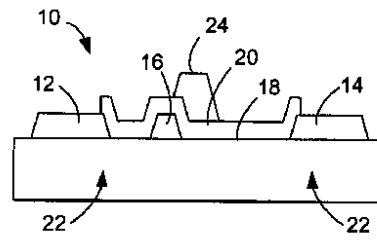


FIG. 4A

【 図 3 B 】

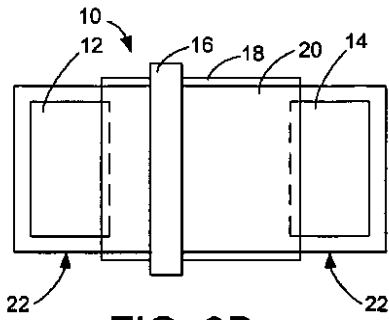


FIG. 3B

【 図 4 B 】

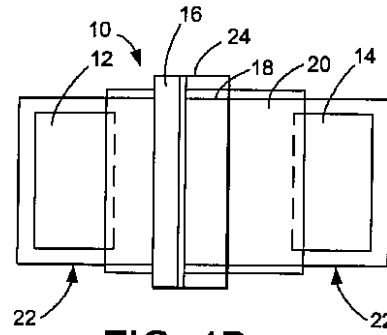


FIG. 4B

【 図 5 A 】

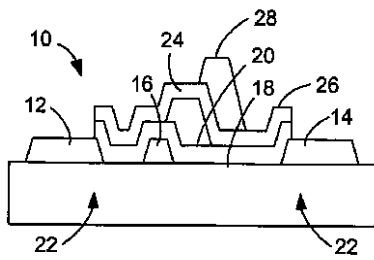


FIG. 5A

【 図 5 B 】

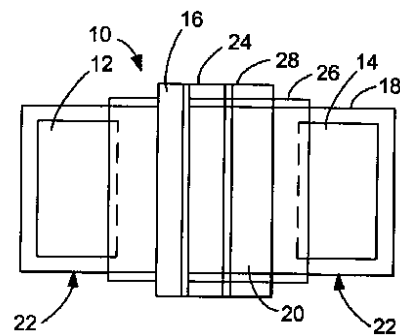


FIG. 5B

【 図 6 】

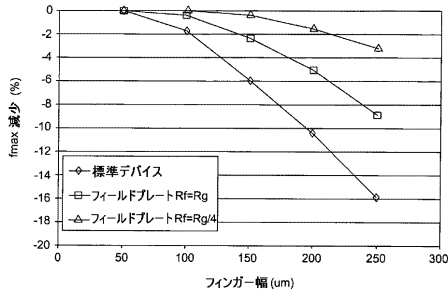


FIG. 6

【 図 7 A 】

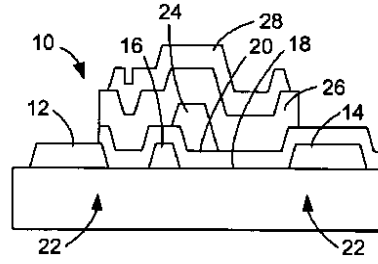


FIG. 7A

【 図 7 B 】

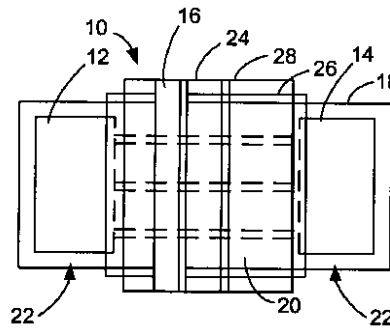


FIG. 7B

【 図 7 C 】

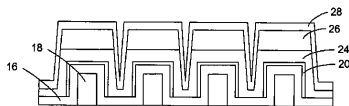


FIG. 7C

【 図 1 0 】

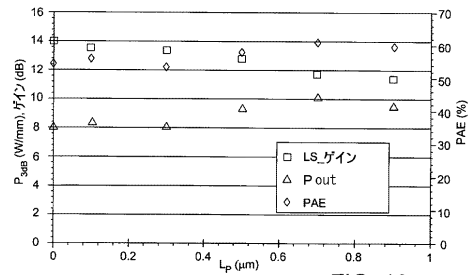


FIG. 10

【 図 8 】

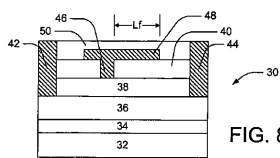


FIG. 8

【 図 9 】

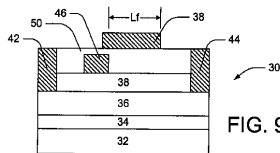


FIG. 9

【 国際調査報告 】

60651210042



INTERNATIONAL SEARCH REPORT		International application No. PCT/US04/29324		
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 21/338, 31/072, 27/095, 23/58 US CL : 438/167, 172, 182; 257/192, 194, 472, 487 According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/167, 172, 182; 257/192, 194, 472, 487 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched none Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
x — y	US 6,586,813 B2 (NAGAHARA) 1 July 2003 (01.07.2003), Figures 16A-19, column 10, line 32-column 11, line 2; column 12, line 1-column 13, line 34.	22 1-5,7-12,15,21,23-27		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.				
* Special categories of cited documents: <table border="0" style="width: 100%;"> <tr> <td style="width: 50%;"> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family </td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family			
Date of the actual completion of the international search 16 October 2005 (16.10.2005)		Date of mailing of the international search report 08 DEC 2005		
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1430 Alexandria, Virginia 22313-1430 Facsimile No. (703) 305-3230		Authorized officer Ha Tran Nguyen <i>Ha Tran Nguyen</i> Telephone No. (703) 308-0956 <i>HTN</i>		

21

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US04/29324

Continuation of B. FIELDS SEARCHED Item 3:
US-PGPUB, USPAT, EPO, JPO, IBM_TDB
search terms: hemt, GaN, plate, field, barrier, mobility

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100062409

弁理士 安村 高明

(74) 代理人 100113413

弁理士 森下 夏樹

(72) 発明者 チーニー, アレッサンドロ

イタリア国 41100 モデーナ, ピア ジャルディーニ 76/1

(72) 発明者 ミシュラ, ウメシュ ケー.

アメリカ合衆国 カリフォルニア 93108, サンタ バーバラ, シカモア キャニオン
ロード 1435

(72) 発明者 パリーク, プリミット

アメリカ合衆国 カリフォルニア 93117, ゴレタ, シャドウブルック ドライブ 68
32

(72) 発明者 ウー, イフェング

アメリカ合衆国 カリフォルニア 93117, ゴレタ, ファイアーサイド レーン 528

Fターム(参考) 5F102 GB01 GC01 GD01 GJ01 GJ03 GJ10 GL04 GM04 GQ01 GR11

GV05 GV07 GV08 HC15 HC19