



(12)发明专利申请

(10)申请公布号 CN 106711039 A

(43)申请公布日 2017.05.24

(21)申请号 201610363312.8

(22)申请日 2016.05.26

(30)优先权数据

102015000072111 2015.11.12 IT

(71)申请人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72)发明人 F·尤克拉诺 A·帕蒂 A·基尼

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51)Int.Cl.

H01L 21/335(2006.01)

H01L 29/778(2006.01)

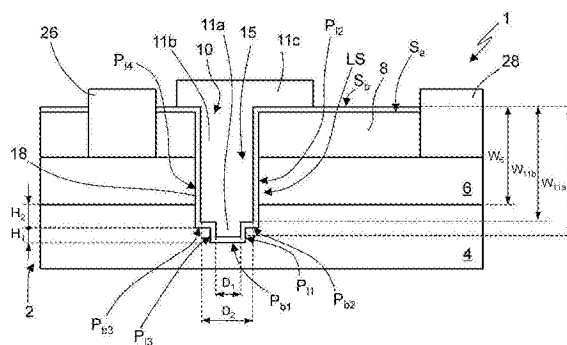
权利要求书2页 说明书7页 附图8页

(54)发明名称

常关断型HEMT晶体管以及对应的制造方法

(57)摘要

本发明涉及常关断型HEMT晶体管以及对应的制造方法。一种常关断型HEMT晶体管包括：半导体异质结(4、6、200)，其至少包括一个第一层(4)和一个第二层(6)，第二层布置在第一层的顶部上；沟槽(15)，其延伸穿过第二层和第一层的一部分；导电材料的栅极区(10)，其在沟槽中延伸；以及介电区(18)，其在沟槽中延伸，涂覆栅极区并且接触半导体异质结。沟槽的一部分由形成至少一个第一台阶(P_{b1}、P₁₁、P_{b2})的横向结构(LS)横向界定。半导体异质结形成第一台阶的第一边缘(E₁)和第二边缘(E₂)，第一边缘由第一层形成。



1. 一种常关断型HEMT晶体管,包括:

-半导体异质结(4、6、200),其至少包括一个第一层(4)和一个第二层(6),所述第二层布置在所述第一层的顶部上;

-沟槽(15),其延伸穿过所述第二层和所述第一层的一部分;

-导电材料的栅极区(10),其在所述沟槽中延伸;以及

-介电区(18),其在所述沟槽中延伸,涂覆所述栅极区,并且接触所述半导体异质结;

其中,所述沟槽的一部分被横向结构(LS)横向定界,所述横向结构(LS)形成至少一个第一台阶(P_{b1} 、 P_{11} 、 P_{b2});并且其中,所述半导体异质结形成所述第一台阶的第一边缘(E_1)和第二边缘(E_2),所述第一边缘由所述第一层形成。

2. 根据权利要求1所述的HEMT晶体管,还包括第一电极区域(26)和第二电极区域(28),所述沟槽(15)布置在所述第一电极区域和所述第二电极区域之间;并且其中,所述横向结构(LS)由布置在所述沟槽与所述第一电极区域和所述第二电极区域中的一个之间的半导体异质结(4、6、200)的一部分形成。

3. 根据权利要求1或权利要求2所述的HEMT晶体管,其中,所述横向结构(LS)具有楼梯形状。

4. 根据权利要求3所述的HEMT晶体管,其中,所述横向结构(LS)还形成至少一个第二台阶(P_{b2} 、 P_{12} 、 S_a),所述至少一个第二台阶形成第三边缘(E_3)和第四边缘(E_4 、 E_{x1}),所述第三边缘由所述半导体异质结(4、6、200)形成,所述第四边缘在所述第三边缘之上。

5. 根据权利要求4所述的HEMT晶体管,其中,所述第四边缘(E_{x1})也由所述半导体异质结(4、6、200)形成。

6. 根据上述权利要求中任意一项所述的HEMT晶体管,其中,所述栅极区(10)包括相应第一部分(11a、11b),其布置在所述沟槽(15)中,并且在其第一侧上由形成所述栅极区的至少一个台阶的表面(V_1 、 O_2 、 V_3)定界,所述栅极区的所述台阶被所述半导体异质结(4、6、200)围绕并与所述半导体异质结物理分开。

7. 根据权利要求6所述的HEMT晶体管,其中,所述栅极区(10)还包括相应第二部分(11c),所述第二部分在所述第一部分(11b、11c)上延伸并且从所述沟槽(15)横向突出。

8. 根据上述权利要求中任意一项所述的HEMT晶体管,其中,所述沟槽(15)在底部被由所述第一层(4)形成的底壁(P_{b1})定界,所述底壁形成所述横向结构(LS)的所述第一边缘(E_1);并且其中,所述介电区(18)涂覆所述底壁和所述横向结构(LS)。

9. 根据上述权利要求中任意一项所述的HEMT晶体管,其中,所述第一层(4)和所述第二层(6)是两种材料的,使得在使用时二维电子气在所述第一层(4)中生成。

10. 根据上述权利要求中任意一个所述的HEMT晶体管,其中,所述第一层(4)和所述第二层(6)分别由氮化镓和氮化铝镓形成。

11. 一种用于制造常关断型HEMT晶体管的方法,包括以下步骤:

-在包括第一层(4)和布置在所述第一层顶部上的第二层(4、6)的半导体异质结(4、6、200)中,形成沟槽(15),所述沟槽延伸穿过所述第二层和所述第一层的一部分;

-在所述沟槽内形成导电材料的栅极区(10);以及

-在所述沟槽内,形成介电区(18),所述介电区涂覆所述栅极区,并且接触所述半导体异质结;

所述方法还包括以下步骤：形成横向结构(LS)，所述横向结构横向定界所述沟槽的一部分并且形成至少一个第一台阶(P_{b1}、P₁₁、P_{b2})；并且其中，所述半导体异质结形成所述第一台阶的第一边缘(E₁)和第二边缘(E₂)，所述第一边缘由所述第一层形成。

12. 根据权利要求11所述的方法，其中，形成所述横向结构(LS)的所述步骤包括：

-在所述半导体异质结(4、6、200)中形成第一凹部(40)，所述第一凹部在底部处被底面(SR)定界；并且随后

-在所述半导体异质结中从所述第一凹部的所述底面开始形成第二凹部(42)，所述第二凹部的宽度小于所述第一凹部的宽度并且所述第二凹部至少部分被所述第一层定界；

-用介电层(50)在内部涂覆所述第一凹部和所述第二凹部；以及

-形成与所述介电层接触的所述栅极区(10)。

常关断型HEMT晶体管以及对应的制造方法

技术领域

[0001] 本发明涉及常关断型高电子迁移率晶体管(HEMT),其包括沟槽,该沟槽包括栅极区并形成至少一个台阶;进一步地,本发明涉及对应的制造方法。

背景技术

[0002] 如所知道的,HEMT晶体管(还称为“异质结场效应晶体管”(HFET))遭遇宽扩散,因为它们特征在于可能以高频工作以及由于它们的高击穿电压。

[0003] 例如,已知包括AlGaIn/GaN异质结的HEMT晶体管,然而,HEMT晶体管是常导通型器件,即,使得在各栅极端子上不存在电压时,在任意情况下都会出现电流通路;等同地,据说这些晶体管以耗尽模式工作。因为通常优选的是提供常关断型(等同地,以增强模式工作),所以已经提出大量变体,诸如例如US 8587031中描述的晶体管。

[0004] 详细地,US 8587031描述了一种晶体管,其包括彼此接触布置的一层氮化铝镓(AlGaIn)和一层氮化镓(GaN)的异质结。进一步地,晶体管具有第一栅极区,其布置于在AlGaIn层中延伸的凹部中,并且使得能够调制常关断型沟道。

[0005] 现在,由此存在以增强模式工作的可用HEMT晶体管。然而,这些方案在任何情况下都会受到所谓漏致势垒降低(DIBL)现象(还称为“早期击穿现象”)影响。

[0006] 与击穿不同,DIBL现象发生在低漏-源极电压(通常,在包括在10V与30V之间的电压),并且在栅极与源极之间存在零电压时,引起漏极与源极之间循环的电流突然增加。更详细地,将存在于i)栅极与源极之间的电压和ii)漏极与源极之间的电压分别表示为电压 V_{gs} 和 V_{ds} ,并且将 $V_{gs}=0$ 时在漏极与源极之间循环的电流表示为泄漏电流,当 $V_{ds}<V_{dib1}$ (其中, V_{dib1} 是DIBL现象发生的电压)时,泄漏电流密度通常是每毫米纳安级。反而,如果 $V_{gs}=0$ 并且 V_{ds} 超过 V_{dib1} ,则泄漏电流密度可以甚至是每毫米微安级。因为DIBL现象造成晶体管的过早导通,所以感觉需要防止该现象的发作,或在任何情况下,降低其影响。

发明内容

[0007] 本发明的目的由此是提供将至少部分地克服已知技术的缺点的HEMT晶体管。

[0008] 根据本发明,提供了分别如权利要求1和11中所限定的HEMT晶体管和用于制造HEMT晶体管的方法。

附图说明

[0009] 为了更好地理解本发明,现在仅以非限制性示例的方式并且参照附图描述其优选的实施方式,附图中:

[0010] -图1是本HEMT晶体管的一部分的截面(未按比例)的示意性图示;

[0011] -图2是图1中所示的HEMT晶体管的沟槽的示意性立体图(未按比例);

[0012] -图3是图1中所示的HEMT晶体管的一部分的截面(未按比例)的示意性图示;

[0013] -图4示出了分别是已知类型的HEMT晶体管和本HEMT晶体管的泄漏电流作为漏-源

极电压的函数的图的两个示例；

[0014] 图5示出了分别是已知类型的HEMT晶体管和本HEMT晶体管的电场与漏极电压的图的两个示例；

[0015] 图6-图8和图15是本HEMT晶体管的其他实施方式的示意性截面图(未按比例)；

[0016] 图9至图14是图1中图示的HEMT晶体管在制造方法的连续步骤期间的示意性截面图(未按比例)。

具体实施方式

[0017] 图1示出了由1指定的本HEMT晶体管的第一实施方式。

[0018] 详细地,HEMT晶体管1包括半导体本体2,其转而包括第一层4和第二层6,下文中分别称为底层4和顶层6。

[0019] 底层4是第一半导体材料的,诸如例如周期表的III族和V族元素的第一半导体合金;仅以示例的方式,下文中假定底层4是氮化镓(GaN)的。

[0020] 顶层6在底层4之上,与其直接接触,并且是第二半导体材料的,诸如例如周期表的III-V族元素的第二半导体合金,该第二半导体合金与第一半导体合金不同。仅以示例的方式,下文中假定顶层6是氮化铝镓(AlGaIn)的。

[0021] 底层4和顶层6例如是N型的。而且,底层4具有例如20nm与7 μ m之间的厚度,而顶层6具有例如在5nm与400nm之间的厚度。

[0022] 虽然未示出,但半导体本体2还包括由例如硅制成的基板,该基板上面形成底层4。因为该基板与本发明的目的无关,所以在本说明书中不做任何进一步的提及。

[0023] HEMT晶体管1还包括钝化区8,其在顶层6上并与其直接接触,并且由例如氮化硅制成。例如,钝化区8具有100nm的厚度。钝化区8形成HEMT晶体管1的第一表面 S_a 。

[0024] HEMT晶体管1还包括栅极区10,其在沟槽15内延伸并且是导电材料的;例如,栅极区10可以由一个或多个金属层制成,例如由铝、镍或钨制成。

[0025] 详细地,沟槽15从第一表面 S_a 开始延伸穿过钝化区8,以及穿过顶层6。而且,沟槽15穿过与顶层6接触布置的底层4的顶部。

[0026] 更详细地,沟槽15被相互平行并垂直于第一表面 S_a 的第一侧壁 P_{11} 、第二侧壁 P_{12} 、第三侧壁 P_{13} 、和第四侧壁 P_{14} 定界。进一步地,沟槽15被彼此平行并与第一表面 S_a 平行的第一底壁 P_{b1} 、第二底壁 P_{b2} 和第三底壁 P_{b3} 定界。

[0027] 具体地,第一底壁 P_{b1} 在底层4中延伸到第一深度(例如相对于第一表面 S_a 测量得的)。而且,第二底壁 P_{b2} 和第三底壁 P_{b3} 在底层4中延伸至小于上述第一深度的相同深度。而且,第一侧壁 P_{11} 连接第一和第二底壁 P_{b1} 、 P_{b2} ;第三侧壁 P_{13} 转而连接第一和第三底壁 P_{b1} 、 P_{b3} 。而且,第二侧壁 P_{12} 将第二底壁 P_{b2} 连接到第一表面 S_a ;第四侧壁 P_{14} 将第三底壁 P_{b3} 连接到第一表面 S_a 。

[0028] 实际上,如图2中更详细地示出,第一底壁 P_{b1} 和第一侧壁 P_{11} 形成第一边缘 E_1 ;进一步地,第一侧壁 P_{11} 和第二底壁 P_{b2} 形成第二边缘 E_2 ,第二边缘 E_2 与第一边缘 E_1 平行,并与其共面。另外,第二底壁 P_{b2} 和第二侧壁 P_{12} 形成第三边缘 E_3 ,第三边缘 E_3 与第二边缘 E_2 平行,并与其共面。转而,第二侧壁 P_{12} 与第一表面 S_a 形成第四边缘 E_4 (图2中未示出)。

[0029] 另外,第一底壁 P_{b1} 和第三侧壁 P_{13} 形成第五边缘 E_5 ;进一步地,第三侧壁 P_{13} 和第三

底壁 P_{b3} 形成第六边缘 E_6 ,第六边缘 E_6 与第五边缘 E_5 平行,并与其共面。另外,第三底壁 P_{b3} 和第四侧壁 P_{14} 形成第七边缘 E_7 ,第七边缘 E_7 与第六边缘 E_6 平行,并与其共面。转而,第四侧壁 P_{14} 与第一表面 S_a 形成第八边缘 E_8 。

[0030] 甚至更详细地,第一和第三侧壁 P_{11} 、 P_{13} 彼此分开等于 L_1 (沿垂直于第一和第三侧壁 P_{11} 、 P_{13} 的方向测量得的)的距离,该距离由此表示第一底壁 P_{b1} 的宽度。第二和第三底壁 P_{b2} 、 P_{b3} 的宽度反而分别由 L_2 和 L_3 指定。另外,第一和第三侧壁 P_{11} 、 P_{13} 具有沿垂直于第一底壁 P_{b1} 的方向测量得的、等于 H_1 的高度。而且,如图1所示,第二和第四侧壁 P_{12} 、 P_{14} 中的每一个具有相应底部,其分别从第三和第七边缘 E_3 、 E_7 开始延伸,直到其接触顶层6为止,该部分具有高度 H_2 。

[0031] 实际上,沟槽15形成彼此连通并具有相同长度的第一腔22和第二腔24。第一腔22到第一表面 S_a 上,在第二腔24上并具有等于 $L_1+L_2+L_3$ 的宽度;第二腔24具有等于 L_1 的宽度。仅以示例的方式,各个宽度 L_1 、 L_2 和 L_3 可以包括在 $0.1\mu\text{m}$ 与 $10\mu\text{m}$ 之间;进一步地,高度 H_1 可以例如包括在 1nm 与 500nm 之间,而高度 H_2 可以例如包括在 0 与 500nm 之间。

[0032] 换言之,第一侧壁 P_{11} 和第二底壁 P_{b2} 形成横向定界沟槽15并从第一底面 P_{b1} 的一侧延伸的横向结构LS的第一台阶,即,第一肩状物。具体地,将半导体本体2和钝化区8的整体表示为主体,横向结构LS由主体形成。而且,第二底壁 P_{b2} 、第二侧壁 P_{12} 和第一表面 S_a 形成上述横向结构LS的一种第二台阶。第一和第二台阶以横向结构LS呈现阶梯式轮廓这样的方式连续布置。

[0033] HEMT晶体管1还包括介电区18,其由例如氮化铝(AlN)、或氮化硅(SiN)或氧化硅(SiO_2)形成,并且涂覆第一表面 S_a 。而且,介电区18在内部涂覆沟槽15,即,尤其涂覆第一、第二和第三底壁 P_{b1} 、 P_{b2} 、 P_{b3} ,以及第一、第二、第三和第四侧壁 P_{11} 、 P_{12} 、 P_{13} 和 P_{14} 。在这一点上,如之前提到的,第一、第二和第三底壁 P_{b1} 、 P_{b2} 、 P_{b3} 由底层4形成,第一和第三侧壁 P_{11} 、 P_{13} 同样,同时第二和第四侧壁 P_{12} 、 P_{14} 中的每一个由底层4、顶层6和钝化区8形成。

[0034] 更详细地,栅极区10包括布置在第二腔24内的底部11a和在底部11a上并与其直接接触的、布置在第一腔22内的中央部11b。介电区18围绕栅极区10的底部11a和中央部11b,它们由此比介电区18更靠内地布置在沟槽15中,并且被介电区18涂覆。具体地,介电区18使栅极区10的底部11a和中央部11b与半导体本体2绝缘,以及与钝化区8绝缘。

[0035] 甚至更详细地,栅极区10的底部11a和中央部11b这两者都是平行四边形形状,并且分别具有宽度 D_1 和宽度 D_2 ,其中 $D_1 < L_1$ 并且 $D_2 > L_1$ 。而且,不失一般性,底部11a延伸到(从第一表面 S_a 开始测量得的)深度 W_{11a} ,深度 W_{11a} 大于顶层6延伸到的最大深度(由 W_6 指定);中央部11b反而延伸到深度 $W_{11b} < W_{11a}$ 。不失一般性,在图1所示的实施方式中,我们有 $W_6 < W_{11b}$ 。

[0036] 换言之,如图3中更详细地示出的,栅极区10在底部被第一水平壁 O_1 、第二水平壁 O_2 和第三水平壁 O_3 定界,并且被第一垂直壁 V_1 和第二垂直壁 V_2 定界。具体地,第一水平壁 O_1 在底部定界栅极区10的底部11a,其被第一和第二垂直壁 V_1 、 V_2 横向定界。栅极区10的中央部11b在底部(部分地)被第二和第三水平壁 O_2 、 O_3 定界。第一垂直壁 V_1 连接第一和第二水平壁 O_1 、 O_2 ,并与其形成栅极区10的对应台阶。同样地,第二垂直壁 V_2 连接第一和第二水平壁 O_2 、 O_3 ,并与其形成栅极区10的对应台阶。而且,第一水平壁 O_1 和第一垂直壁 V_1 形成与沟槽15的第一边缘 E_1 平行的、栅极区10的第一边缘 G_1 ,同时第一垂直壁 V_1 和第二水平壁 O_2 形成与沟槽15的第二边缘 E_2 平行的、栅极区10的第二边缘 G_2 。

[0037] 如图3再次示出,栅极区10还包括顶部11c,该顶部11c在中央部11b上延伸,并与其直接接触。而且,栅极区10的中央部11b被第三垂直壁 V_3 和第四垂直壁 V_4 横向定界,它们彼此平行并且分别面对沟槽15的第二和第四侧壁 P_{12} 、 P_{14} 。第三垂直壁 V_3 与栅极区10的第二水平壁 O_2 和顶部11c分别形成栅极区10的第三边缘 G_3 和第四边缘 G_4 。

[0038] 实际上,大致上,介电区18在沟槽15内具有大致恒定的厚度;即,其形成涂覆沟槽15的壁的一种保形层;因此,沟槽15内含有的栅极区10的该部分被遵从沟槽15的轮廓(由此,横向结构LS的轮廓)的表面定界。因此,对应于沟槽15的各边缘/台阶是沟槽15内含有的栅极区10的该部分的边缘/台阶。

[0039] 再次参照图1,介电区18的在第一表面 S_a 上延伸的部分在顶部被与第一表面 S_a 大致平行的第二表面 S_b 定界。而且,栅极区10的顶部11c具有大于 $L_1+L_2+L_3$ 的宽度,并且相对于第二侧壁 P_{12} 且相对于第四侧壁 P_{14} 这两者横向突出。不失一般性,在图1所示的实施方式中,栅极区10的顶部11c从第二侧壁 P_{12} 横向突出,突出的程度大于顶部11c从第四侧壁 P_{14} 突出的程度。

[0040] HEMT晶体管1还包括布置在沟槽15的相对侧上和栅极区10的顶部11c的相对侧上的源极金属化26和漏极金属化28。源极金属化26和漏极金属化28中的每一个横穿布置在前表面 S_a 的顶部上的介电区18的部分和钝化区8下面的部分,直到其接触顶层6为止。以本身已知的方式,源极金属化26和漏极金属化28中的每一个可以由例如对应的多个金属层(例如,钛、铝和钨)形成;进一步地,源极金属化26和漏极金属化28中的每一个的顶部延伸直至大于第二表面 S_b 的高度的高度。

[0041] 更详细地,沟槽15的第二和第四侧壁 P_{12} 、 P_{14} 分别面对漏极金属化28和源极金属化26。

[0042] 使用时,栅极区10、介电区18和底层4形成MOSFET,其沟道在第一底壁 P_{b1} 下面的底层4中延伸。该常关断型沟道可以通过向栅极区10施加电压而被调制。

[0043] 以本身已知的方式,在底层4与顶层6之间的界面下面,由此,在底层4中,形成所谓的“二维电子气”(2DEG),其代表HEMT晶体管1的沟道(常导通型)。而且,由于在栅极区10的顶部11c中存在突起,该沟道被栅极区10上存在的电压调制,该突起相对于下面的中央部11b朝向漏极金属化28延伸,由此在二维电子气的对应部分之上。换言之,顶层6起到势垒层的作用,而底层4起到缓冲层的作用。

[0044] 由于存在上述MOSFET,HEMT晶体管1由此整体具有常关断型沟道。而且,可以示出的是,HEMT1晶体管1展示出图4所图示的类型的泄漏电流,其中还呈现了已知类型的HEMT晶体管的泄漏电流的示例。

[0045] 实际上,HEMT晶体管1不受DIBL现象影响。这是因为这样的事实:由于存在沟槽15的上述第一台阶,上述第一边缘 E_1 处的电场呈现图案,该图案作为图5中所示的类型的漏极电压的函数(假设零栅极和源极电压),图5还表示了已知类型的HEMT晶体管中出现的电场的对应图的示例,其中栅极区形成在传统形状的凹部中,在该凹部的底边缘处。事实上,横向结构的上述第一台阶的存在暗示了在半导体2中存在第三边缘 E_3 ;因此,电场大致在第一与第三边缘 E_1 、 E_3 之间共享。

[0046] 还可能的是图1中所示的类型的实施方式,但沟槽15延伸至与之前已经描述的不同深度。例如,如图6所示,沟槽15的第一底壁 P_{b1} 可以位于底层4与顶层6之间的界面的平

面中。在这种情况下,栅极区10完全在底层4的顶部上。因此,沟槽15的第二边缘 E_2 和沟槽15的上述第一台阶由顶层6形成。反而,第一边缘 E_1 仍然与底层4接触,由此确保电场的上述减小。

[0047] 根据不同的实施方式,如图7所示,HEMT晶体管1与图1所示的晶体管类型相同,除了沟槽15的第二边缘 E_2 由顶层6形成的事实之外。不失一般性,假设钝化区8延伸至深度 W_8 ,我们有 $W_{11b} > W_8$ (即使我们有 $W_{11b} = W_8$ 的变体在任意情况下都可能)。

[0048] 通常,图6和图7中所示的实施方式的特征在于源极金属化26与漏极金属化28之间的低电阻,因为在这两者情况下,MOSFET的沟道的一部分形成在顶层6中;二维电子气的后续更大扩展由此引起所谓 R_{on} 的减小。

[0049] 反而,图8示出了横向结构LS包括多于两个台阶的其他实施方式。例如,不失一般性,在图8所示的实施方式中,除了上述第一和第二台阶(其上边缘 E_2 、 E_4 示出在图8中)之外,横向结构LS形成其他三个台阶,它们的上边缘分别由 E_{x1} 、 E_{x2} 和 E_{x3} 指定。仅以示例的方式,边缘 E_{x1} 、 E_{x2} 和 E_{x3} 由顶层6形成。栅极区10的中央部11由此形成另外三个对应的附加台阶,其上边缘分别由 G_{x1} 、 G_{x2} 和 G_{x3} 指定;不失一般性,在图8中,边缘 G_{x3} 被布置为与底层4与顶层6之间的界面共面。

[0050] 可以示出的是,随着横向结构LS的台阶的数量增大,栅极区10与漏极金属化28之间存在的电场沿着横向结构LS更均匀地分布,因为位于边缘处的对应峰减小了它们自身的幅度。这样,防止HEMT晶体管在晶体管经受高漏极电压的关断步骤期间任何的劣化。

[0051] 本HEMT晶体管1可以例如,通过实施下面描述的制造方法来制造。不失一般性,且仅以非限制性示例的方式,制造方法参照图1所示的HEMT晶体管1的制造来描述。

[0052] 初始地,如图9所示,包括半导体本体2和钝化区8的主体以本身已知的方式布置。

[0053] 接着,如图10所示,以本身已知的方式,执行光刻工艺和后续的蚀刻工艺,以便选择性地去除钝化区8的一部分、顶层6的下面部分和底层4的下面部分,以形成第一凹部40,其具有平行四边形的形状且具有大于上述深度 W_{11b} 的深度。第一凹部40在底部处被由底层4形成的平面表面SR定界,并且被设计为容纳栅极区10的中央部11b和涂覆其的介电区18的部分。

[0054] 接着,如图11所示,以本身已知的方式,执行进一步的光刻工艺和后续进一步的蚀刻工艺,以便从平面表面SR开始选择性地去除底层4的一部分。具体地,底层4的形成平面表面SR的中央部分的一部分被去除,所述中央部将平面表面SR的一对横向部分分开,它们又分别形成沟槽15的第二和第三底壁 P_{b2} 、 P_{b3} 。这样,形成第二凹部42,其在底部处被第一底壁 P_{b1} 定界,并且具有小于第一凹部40的宽度。第二凹部42还被第一和第三侧壁 P_{11} 、 P_{13} 进一步横向定界,并且被设计为容纳栅极区10的底部11a,并且由此延伸至大于上述深度 W_{11a} 的深度。第一和第二凹部40、42形成沟槽15。

[0055] 接着,如图12所示,形成在第一表面 S_a 上并且在沟槽15内的是由例如氮化铝或氮化硅制成的介电层50。介电层50由此涂覆沟槽15的壁,并且例如通过沉积形成。

[0056] 接着,如图13所示,以本身已知方式形成源极金属化26和漏极金属化28。出于该目的,即使未详细地示出,也可以执行进一步的光刻工艺和后续的蚀刻工艺,用于选择性地去除介电层50的部分和钝化区8的下面部分,以形成腔,腔被设计为分别容纳源极金属化26和漏极金属化28,它们通过所谓的“剥离”技术后续形成在这些腔内。根据剥离技术,通过光

刻,形成抗蚀剂掩膜,其仅使HEMT晶体管1的要被源极金属化26和漏极金属化28覆盖的区域暴露。接着,金属材料沉积在HEMT晶体管1上;抗蚀剂掩膜的后续去除还引起在抗蚀剂掩膜本身之上的金属材料的去除。一旦形成源极金属化26和漏极金属化28,介电层50的剩余部分形成介电区18。

[0057] 接着,尽管未示出,但例如在包括在500°C与900°C之间的温度下执行热处理,以便形成接触。

[0058] 接着,如图14所示,形成栅极区10,其底部和中央部11a、11b在沟槽15内延伸。而且,栅极区10可以由对应的剥离工艺形成,这包括形成对应的抗蚀剂掩膜、将导电材料沉积在掩膜和HEMT晶体管1的没有掩膜的部分上,后续去除抗蚀剂掩膜和布置在其顶部上的导电材料。

[0059] 作为替代,关于图8所示的类型的实施方式(即,横向结构LS形成多于两个台阶的实施方式),它们可以例如通过执行以下步骤(未示出)而形成:

[0060] a)选择性地去除被底面定界的、用于去除对应凹部的主体的顶部;

[0061] b)从上述底面开始,选择性地去除用于形成其他凹部的、被相应底面定界的、主体的下面部分,其他凹部的宽度小于之前凹部的宽度并且相对于之前凹部的侧壁横向交错;以及

[0062] c)重复步骤b),直到形成期望数量的台阶为止。

[0063] 在采用仅上述制造方法的情况下,沟槽15的形状可以与图8中所示的不同;具体地,沟槽15的面向源极金属化26的部分可以包括数量等于横向结构LS的数量的台阶。

[0064] 根据已经描述和之前图示的,本方案提供的优点清楚地出现。

[0065] 具体地,本HEMT晶体管基本上对DIBL现象免疫,因为在使用中,由于至少第三边缘E₃存在于半导体2中,减小了第一边缘E₁处(与第一层4接触)的电场。

[0066] 总之,清楚的是,可以对至今已经描述和图示的进行修改和变型,而不因此偏离如在所附权利要求中限定的、本发明的范围。

[0067] 例如,源极金属化26和漏极金属化28中的每一个可以部分穿透在顶层6内,以及还可能在底层4的顶部中。

[0068] 底层4可以包括相应顶部和相应底层(未示出),它们例如掺杂有碳原子;在这种情况下,顶部被掺杂有碳原子,掺杂程度小于底部的程度,并且顶部起到所谓的沟道层的作用,而底层4的底部起到缓冲层的作用。在这种情况下,如果第二和第三底壁P_{b2}、P_{b3}由底层4形成,则它们可以无差别地由底层4的顶部或底部形成。

[0069] 掺杂半导体本体2可以是不同于已经描述的类型。例如,底层4和顶层6可以是P型的。

[0070] 关于沟槽15,沟槽15的布置在第一底壁P_{b1}与源极金属化26之间的部分可以具有不同于已经描述的形状。例如,图1所示的类型的、但不存在第三底壁P_{b3}的实施方式是可以的,在这种情况下第三和第四侧壁P₁₃、P₁₄被单个侧壁替换。在这一点上,可以注意的是,出于防止DIBL现象的目的,横向定界沟槽15并且与横向结构LS相对的其他横向结构的形状基本上不重要,因为源极金属化26与栅极区10之间的电场比栅极区10与漏极金属化28之间存在的电场弱。

[0071] 钝化区18可以是不存在的,在这种情况下,第一表面S_a由顶层6形成。

[0072] 再次,如图15所示,在底层4与顶层6之间,可以存在间隔层200,其由例如氮化铝制成,并且具有较小厚度,例如1nm;间隔层200的目的是提高二维电子气的迁移率。通常地,由此,存在对应于之前描述的实施方式、但还包括间隔层200的可能的其他实施方式。在这些其他实施方式中,横向结构LS的台阶和边缘的空间分布可以在以下意义上例如对应于之前描述的对应实施方式:如果在之前的实施方式中,台阶的边缘由给定层(例如,底层4或顶层6)形成,则在对应的其他实施方式中,对应的边缘也由该给定层形成。

[0073] 再次参照横向结构LS,即使之前已经描述了正交台阶,即,通过垂直表面将成对的水平表面连接的台阶,然而,一个或更多个台阶的垂直表面可以相对于对应的水平面横切和/或一个或更多个台阶的水平面中的一个或两个水平面可以被不与第一表面 S_a 平行的表面替换。换言之,通常,壁和垂直面可以不与第一面 S_a 完全正交。

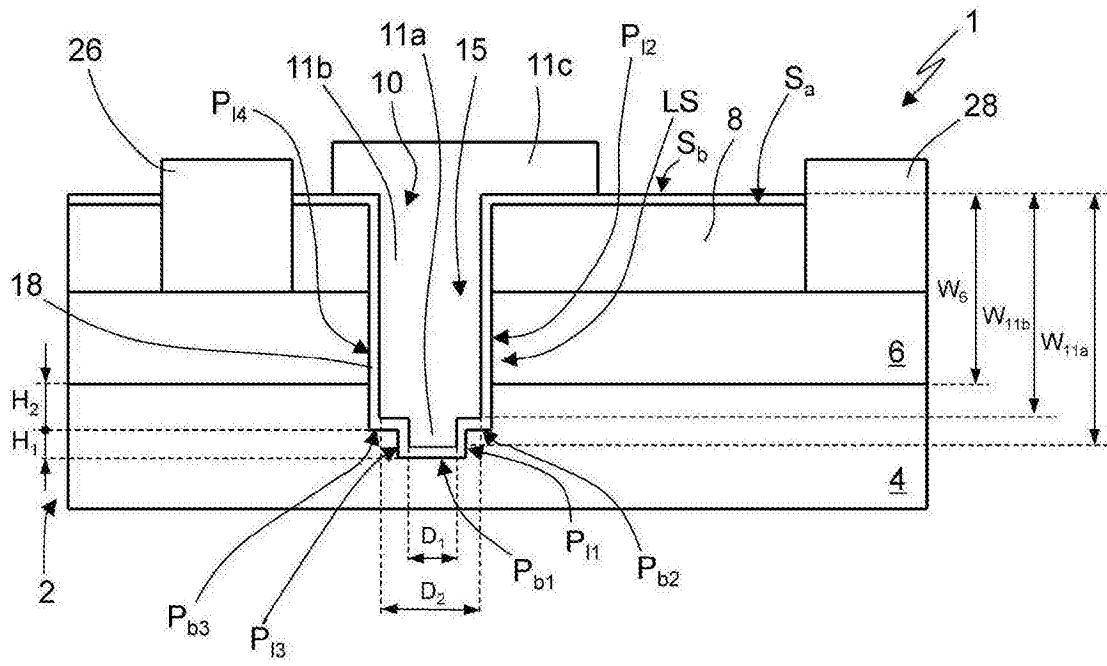


图1

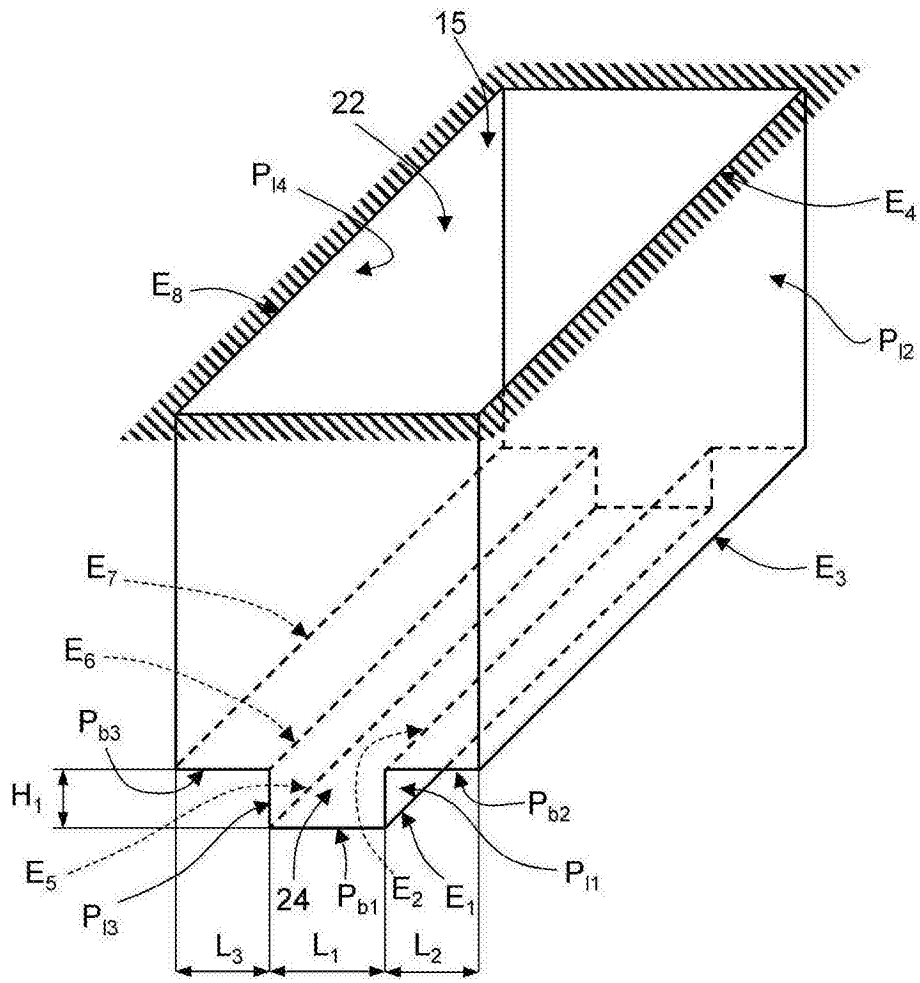


图2

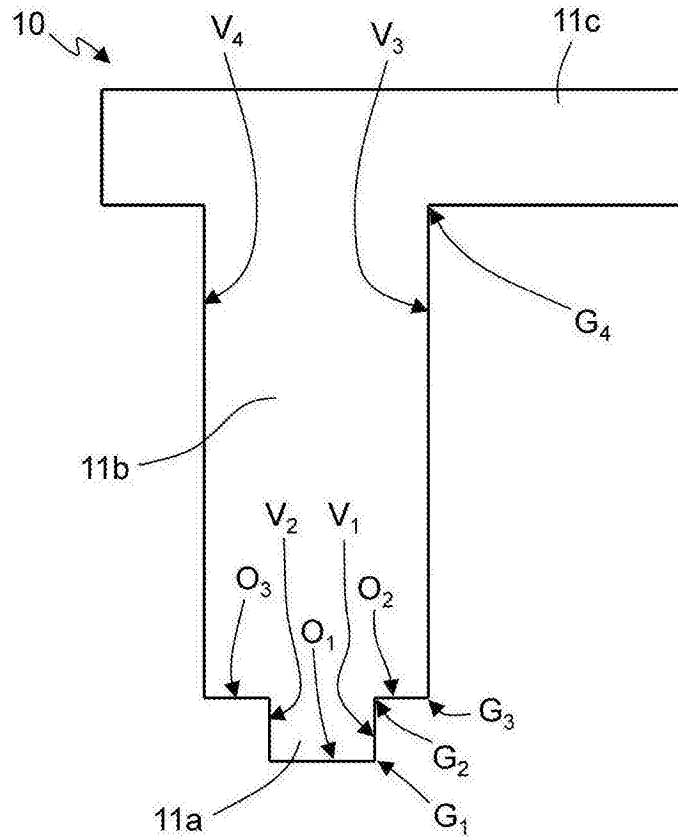


图3

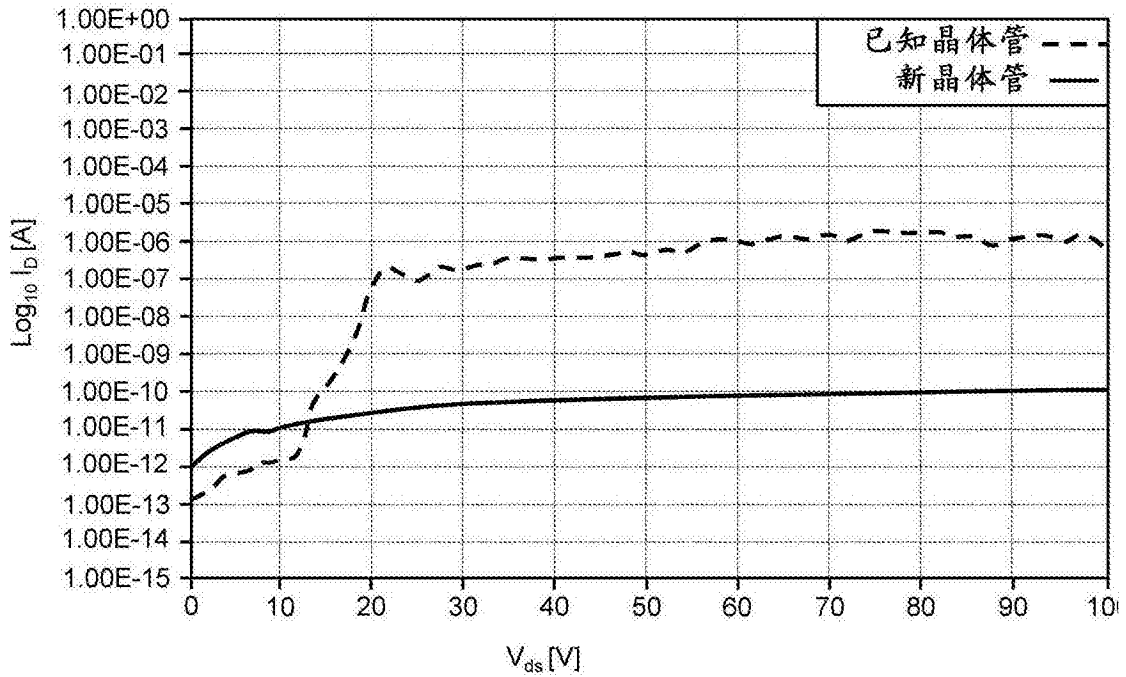


图4

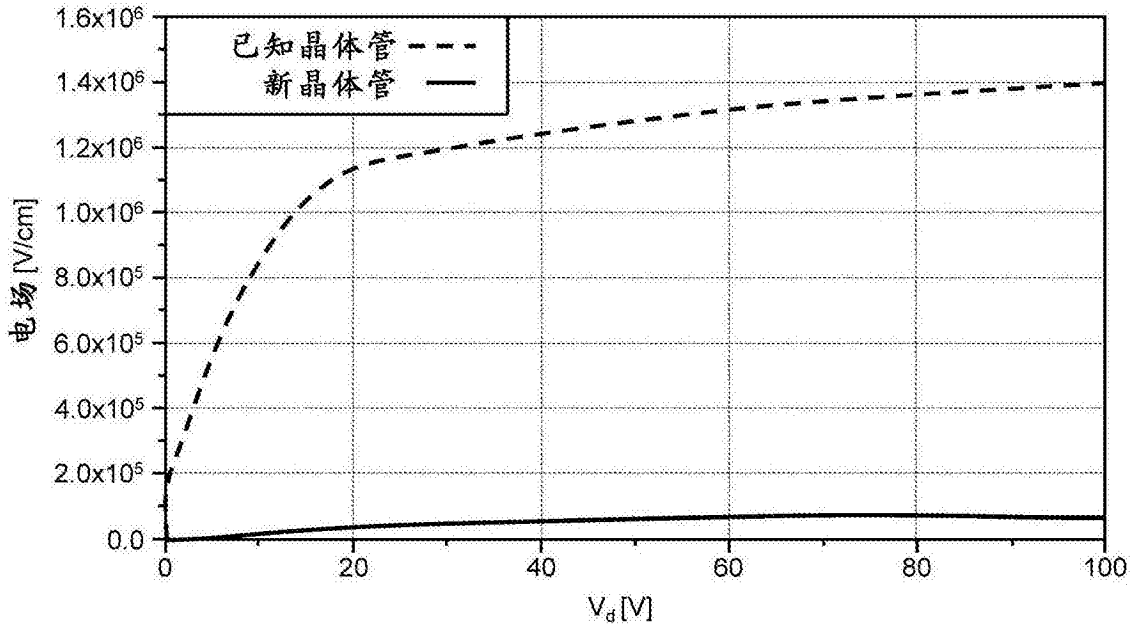


图5

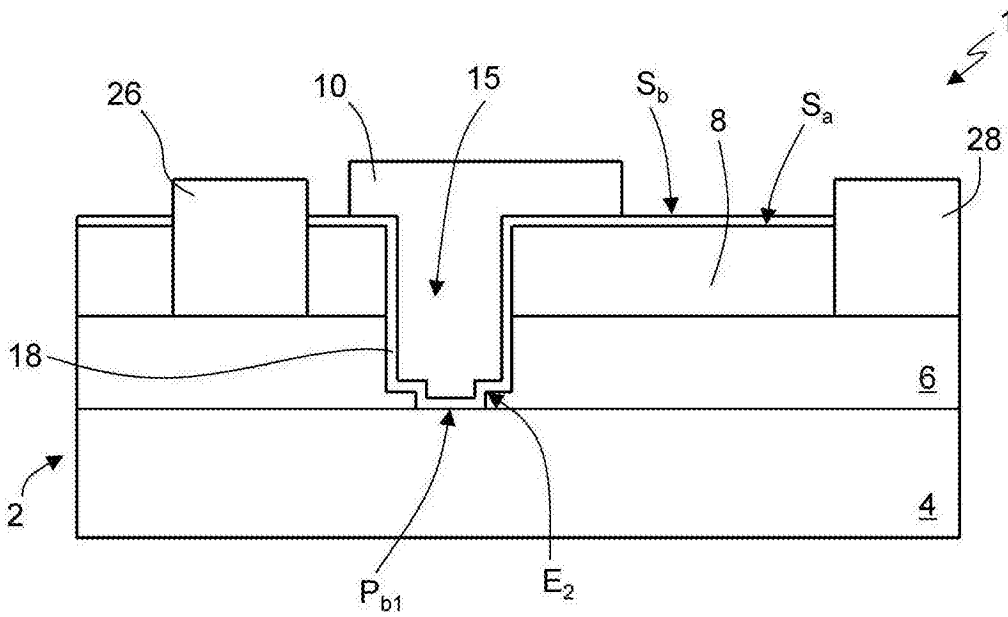


图6

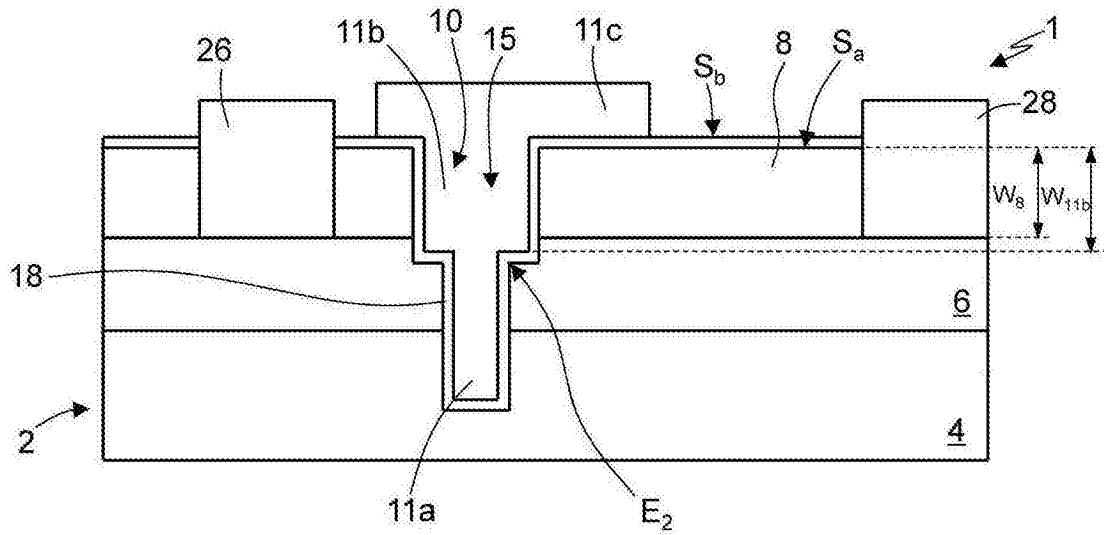


图7

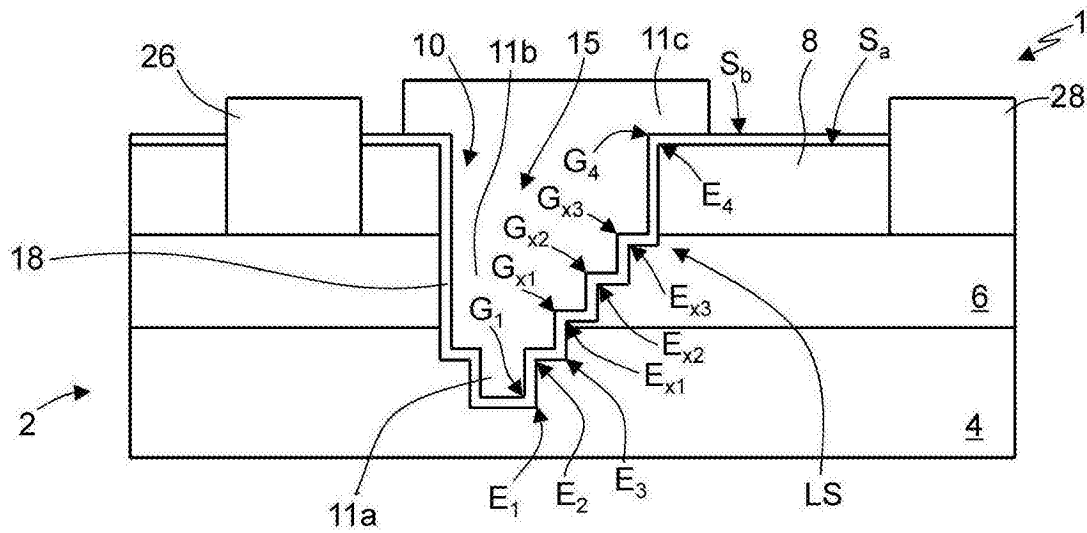


图8

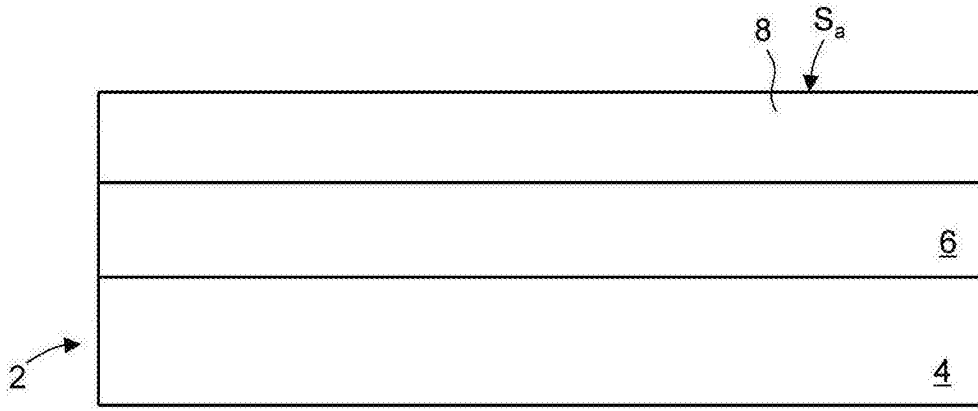


图9

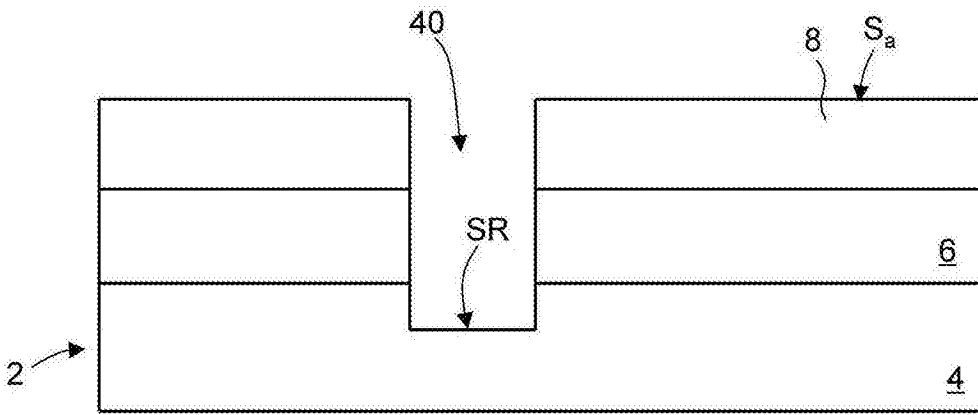


图10

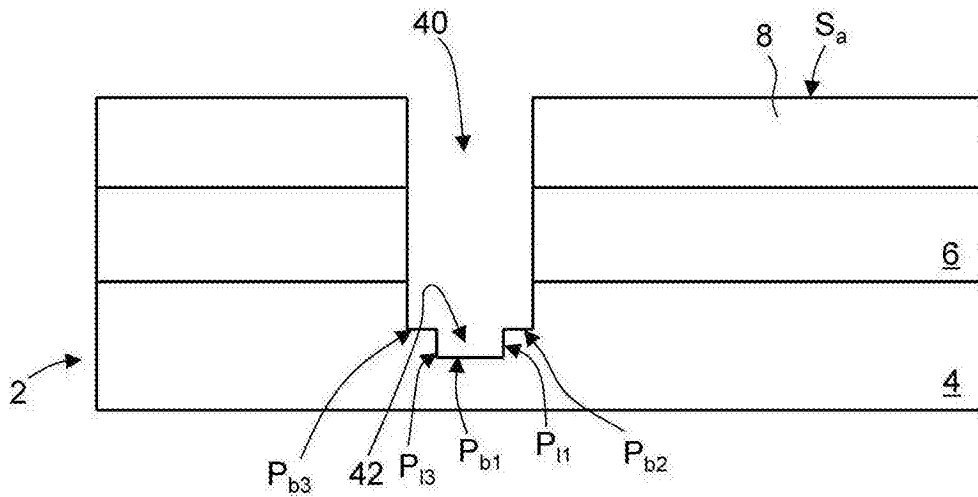


图11

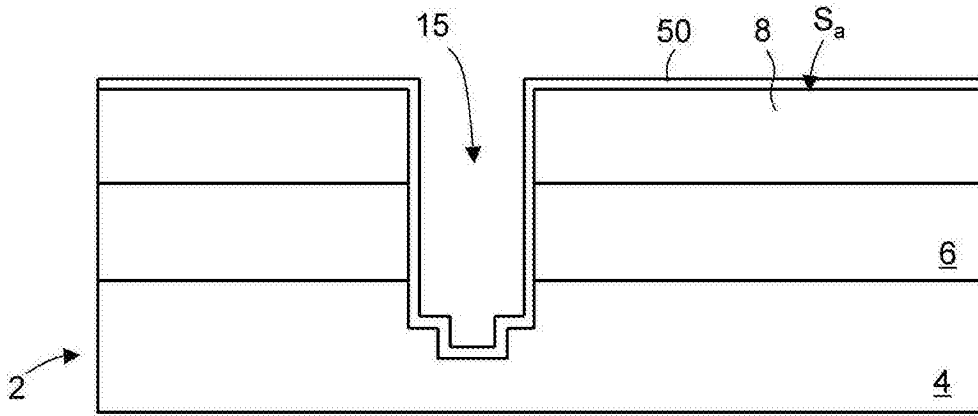


图12

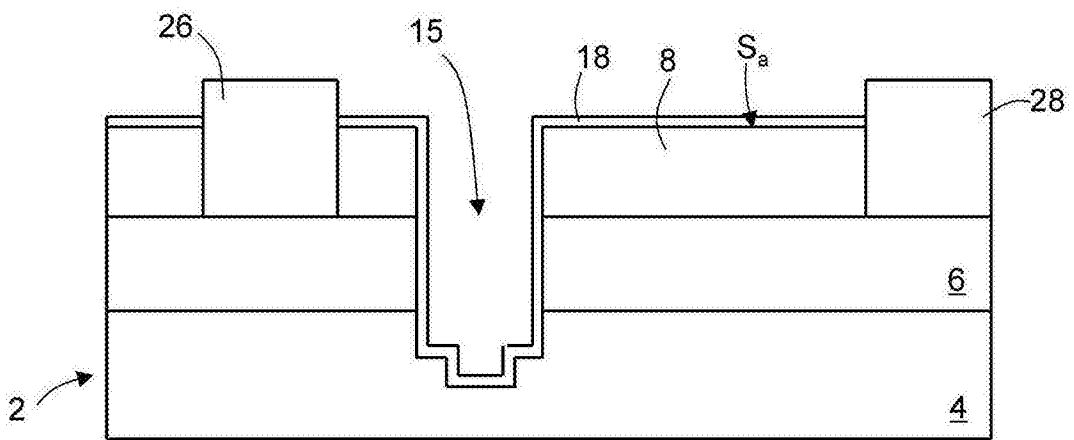


图13

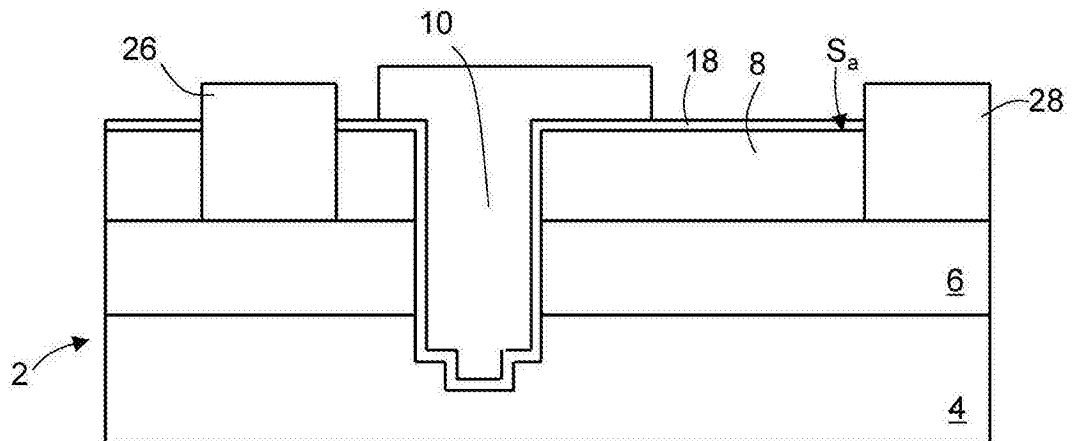


图14

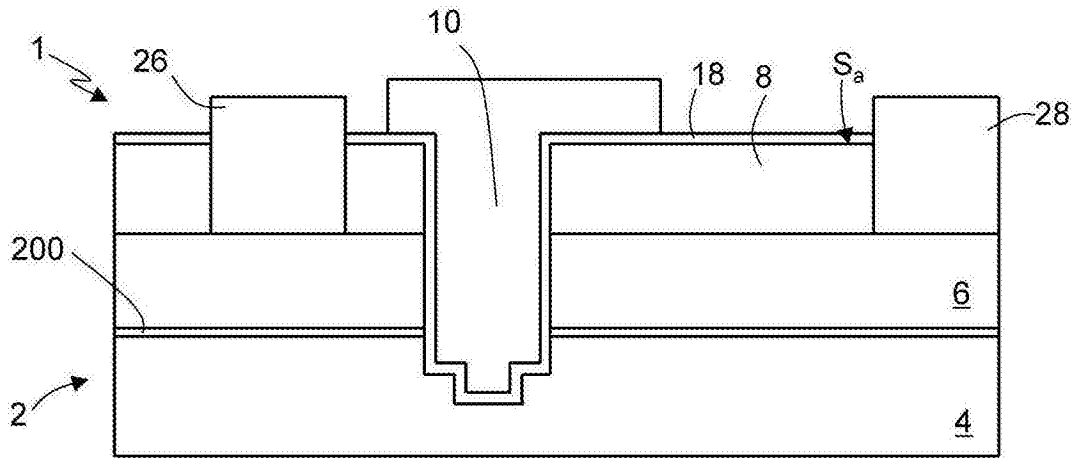


图15