



(12)实用新型专利

(10)授权公告号 CN 206412367 U

(45)授权公告日 2017.08.15

(21)申请号 201621274262.8

(22)申请日 2016.11.25

(30)优先权数据

16425047.4 2016.05.30 EP

(73)专利权人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72)发明人 F·尤克拉诺 A·齐尼

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 吕世磊

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 29/10(2006.01)

(ESM)同样的发明创造已同日申请发明专利

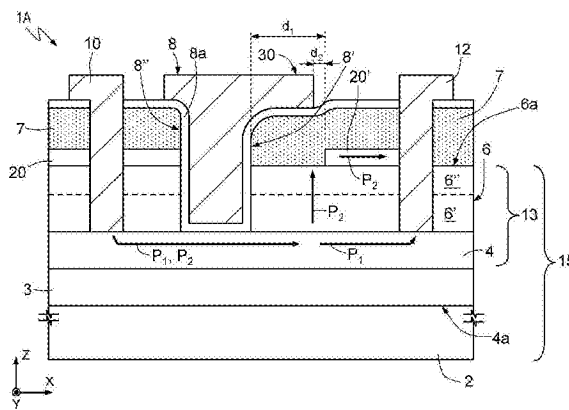
权利要求书2页 说明书8页 附图8页

(54)实用新型名称

高电子迁移率晶体管HEMT器件

(57)摘要

本公开的实施例涉及一种高电子迁移率晶体管HEMT器件。该HEMT器件包括：半导体主体，包括异质结结构；在半导体主体上的电介质层；栅极电极；漏极电极，面向栅极电极的第一侧；和源极电极，面向栅极电极的与第一侧相对的第二侧；辅助沟道层，其在异质结结构之上在栅极电极与漏极电极之间延伸，与漏极电极电接触并且与栅极电极相距一定距离，并且形成用于在源极电极与漏极电极之间流动的电荷载流子的附加导电路径。



1. 一种高电子迁移率晶体管HEMT器件,其特征在于,包括:
半导体主体,包括异质结结构,所述异质结结构形成所述HEMT器件的主导电沟道;
在所述半导体主体上的电介质层;
在一个方向上彼此对齐的栅极电极、漏极电极和源极电极,其中所述漏极电极面向所述栅极电极的第一侧延伸,并且所述源极电极面向所述栅极电极的第二侧延伸,所述第二侧在所述一个方向上与所述第一侧相对;以及
辅助沟道层,所述辅助沟道层在所述异质结结构之上在所述栅极电极与所述漏极电极之间延伸,与所述漏极电极电接触,与所述栅极电极间隔开,并且形成用于电荷载流子在所述源极电极与所述漏极电极之间流动的除了所述主导电沟道之外的导电路径。
2. 根据权利要求1所述的HEMT器件,其特征在于,所述辅助沟道层沿所述一个方向以等于或大于 $0.5\mu\text{m}$ 的距离与所述栅极电极的所述第一侧间隔开。
3. 根据权利要求1所述的HEMT器件,其特征在于,所述辅助沟道层是具有N型掺杂的氮化镓的层。
4. 根据权利要求1所述的HEMT器件,其特征在于,所述辅助沟道层包括:
氮化镓的第一层,具有被包括在5%与30%之间的铝浓度;和
氮化铝镓的第二层,具有被包括在10%与40%之间的铝浓度,所述氮化铝镓的第二层在所述氮化镓的第一层之上延伸。
5. 根据权利要求1所述的HEMT器件,其特征在于,
所述异质结结构包括:第一材料的沟道层和第二材料的势垒层,所述势垒层在所述沟道层之上延伸,所述第一材料和所述第二材料具有不同的带隙;且
所述势垒层包括:
第一中间层,包括具有被包括在10%与40%之间的铝浓度的氮化铝镓,以及
第二中间层,所述第二中间层在所述第一中间层之上延伸,并且包括具有被包括在5%与30%之间的铝浓度的氮化铝镓。
6. 根据权利要求1所述的HEMT器件,其特征在于,进一步包括场板,所述场板在所述电介质层之上延伸并且至少部分地与所述辅助沟道层垂直重叠。
7. 根据权利要求6所述的HEMT器件,其特征在于,所述场板是被电耦合至所述栅极电极的栅极场板或者是被电耦合至所述源极电极的源极场板。
8. 根据权利要求1所述的HEMT器件,其特征在于,进一步包括场板,所述场板在所述电介质层之上延伸,其中所述场板沿所述一个方向从所述辅助沟道层横向偏移。
9. 根据权利要求8所述的HEMT器件,其特征在于,所述场板沿所述一个方向以等于或小于 $0.5\mu\text{m}$ 的距离从所述辅助沟道层横向偏移。
10. 一种高电子迁移率晶体管HEMT器件,其特征在于,包括:
半导体主体,包括异质结结构,所述异质结结构形成所述HEMT器件的主导电沟道;
在所述半导体主体上的电介质层;
延伸到所述电介质层中的栅极电极、漏极电极和源极电极,其中所述漏极电极面向所述栅极电极的第一侧,并且所述源极电极面向所述栅极电极的第二侧,所述第二侧与所述第一侧相对;以及
辅助沟道层,所述辅助沟道层在所述电介质层中并且在所述异质结结构之上在所述栅

极电极与所述漏极电极之间延伸,与所述漏极电极电接触,通过所述电介质层的一部分与所述栅极电极间隔开,并且形成用于电荷载流子在所述源极电极与所述漏极电极之间流动的除了所述主导电沟道之外的导电路径。

11. 根据权利要求10所述的HEMT器件,其特征在于,进一步包括栅极场板,所述栅极场板接触所述栅极电极并且在所述电介质层之上延伸,其中竖直平面延伸穿过所述栅极场板,所述竖直平面垂直于所述半导体主体的由所述电介质层接触的顶表面,并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

12. 根据权利要求10所述的HEMT器件,其特征在于,进一步包括栅极场板,所述栅极场板接触所述栅极电极并且在所述电介质层之上延伸,其中所述栅极场板与竖直平面间隔开,所述竖直平面垂直于所述半导体主体的由所述电介质层接触的顶表面,并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

13. 根据权利要求10所述的HEMT器件,其特征在于,进一步包括源极场板,所述源极场板被电耦合至所述源极电极并且直接在所述电介质层和所述栅极电极之上延伸,其中竖直平面延伸穿过所述源极场板,所述竖直平面垂直于所述半导体主体的由所述电介质层接触的顶表面,并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

14. 根据权利要求10所述的HEMT器件,其特征在于,进一步包括源极场板,所述源极场板被电耦合至所述源极电极并且直接在所述电介质层和所述栅极电极之上延伸,其中所述源极场板与竖直平面间隔开,所述竖直平面垂直于所述半导体主体的由所述电介质层接触的顶表面,并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

高电子迁移率晶体管HEMT器件

技术领域

[0001] 本公开涉及HEMT器件。

背景技术

[0002] 具有异质结构(特别是由氮化镓(GaN)和氮化铝镓(AlGaIn)制成的异质结构)的高电子迁移率晶体管(HEMT)是本领域已知的。例如,HEMT器件由于其高击穿阈值而被赏识用作功率开关。另外,HEMT的导电沟道中的高电流密度使得能够实现导电沟道的低通态电阻(R_{ON})。

[0003] 为了有利于在高功率应用中使用HEMT,已经引入了凹陷栅极HEMT。

[0004] 该类型的器件的问题在于在开关操作期间由于通态电阻(R_{ON})的增加而导致的电流的急剧减小。在断态下的高电压偏置(400V-600V)之后的 R_{ON} 值上的暂时增加被认为是由在沟道中、在缓冲层中或在表面处对电荷载流子的过度捕获引起的。

[0005] 为了减轻该问题,采用了各种解决方案。

[0006] 由美国马萨诸塞州剑桥市麻省理工学院微系统技术实验室的D. Jin等人发表的题为“通过齐纳捕获诱发的在高电压GaN MIS-HEMT中的总电流崩塌”(“Total current collapse in High-Voltage GaN MIS-HEMTs induced by Zener trapping”)的文献描绘了一种在沟道的外延生长的阶段期间对缺陷进行控制的方法和“场板”结构的适当设计。然而,该方法未解决上述问题并要求对生长阶段进行控制,这对HEMT的工业生产的成本具有影响。

[0007] 由安森美半导体公司的P. Moens等人发表的题为“关于碳掺杂对650V GaN功率器件的动态 R_{on} 和断态漏电流的影响”(“On the Impact of Carbon-Doping on the Dynamic R_{on} and Off-state Leakage Current of 650V GaN Power Devices”)的文献提出在缓冲层的水平面处利用碳原子对HEMT的半导体主体的掺杂分布进行优化可以提供对上述问题的解决方案。然而,诸如碳原子等的杂质的存在本身可能是对载流子的进一步捕获和 R_{ON} 劣化的原因。

[0008] 2013年由J. Würfl等人发表的题为“关于具有改进的高电压动态开关性质的GaN功率晶体管的技术”(“Techniques towards GaN power transistors with improved high voltage dynamic switching properties”)的文献讨论了对于GaN功率器件中的动态开关的限制,并提出了用于通过修改HEMT的缓冲层的结构来改进以高电压进行快速开关的技术。然而,上述问题并未得到解决。

实用新型内容

[0009] 本公开的至少一些实施例提供了一种HEMT器件,该HEMT器件是根据现有技术所提出的那些方案的替代方案,并克服了上面所陈述的缺点。

[0010] 根据本公开的至少一个实施例,一种HEMT器件包括:

[0011] 半导体主体,包括异质结结构,该异质结结构形成HEMT器件的主导电沟道;

[0012] 在半导体主体上的电介质层；

[0013] 在一个方向上彼此对齐的栅极电极、漏极电极和源极电极，其中漏极电极面向栅极电极的第一侧延伸，并且源极电极面向栅极电极第二侧延伸，第二侧在所述一个方向上与第一侧相对；以及

[0014] 辅助沟道层，该辅助沟道层在异质结结构之上在栅极电极与漏极电极之间延伸，与漏极电极电接触，与栅极电极间隔开，并且形成用于在源极电极与漏极电极之间流动的电荷载流子的除了主导电沟道之外的导电路径。

[0015] 在一个实施例中，所述辅助沟道层是具有N型掺杂的氮化镓的层。

[0016] 在一个实施例中，所述辅助沟道层包括：氮化镓的第一层，具有被包括在5%与30%之间的铝浓度；和氮化铝镓的第二层，具有被包括在10%与40%之间的铝浓度，所述氮化铝镓的第二层在所述氮化镓的第一层之上延伸。

[0017] 在一个实施例中，所述异质结结构包括：第一材料的沟道层和第二材料的势垒层，所述势垒层在所述沟道层之上延伸，所述第一材料和所述第二材料具有不同的带隙；且所述势垒层包括：

[0018] 第一中间层，包括具有被包括在10%与40%之间的铝浓度的氮化铝镓，以及

[0019] 第二中间层，所述第二中间层在所述第一中间层之上延伸，并且包括具有被包括在5%与30%之间的铝浓度的氮化铝镓。

[0020] 在一个实施例中，所述HEMT器件进一步包括场板，所述场板在所述电介质层之上延伸并且至少部分地与所述辅助沟道层垂直重叠。

[0021] 在一个实施例中，所述场板是被电耦合至所述栅极电极的栅极场板或者是被电耦合至所述源极电极的源极场板。

[0022] 在一个实施例中，所述HEMT器件进一步包括场板，所述场板在所述电介质层之上延伸，其中所述场板沿所述一个方向从所述辅助沟道层横向偏移。

[0023] 在一个实施例中，所述场板沿所述一个方向以等于或小于 $0.5\mu\text{m}$ 的距离从所述辅助沟道层横向偏移。

[0024] 根据本公开的至少一个实施例，一种高电子迁移率晶体管HEMT器件，包括：

[0025] 半导体主体，包括异质结结构，所述异质结结构形成所述HEMT器件的主导电沟道；

[0026] 在所述半导体主体上的电介质层；

[0027] 延伸到所述电介质层中的栅极电极、漏极电极和源极电极，其中所述漏极电极面向所述栅极电极的第一侧，并且所述源极电极面向所述栅极电极的第二侧，所述第二侧与所述第一侧相对；以及

[0028] 辅助沟道层，所述辅助沟道层在所述电介质层中并且在所述异质结结构之上在所述栅极电极与所述漏极电极之间延伸，与所述漏极电极电接触，通过所述电介质层的一部分与所述栅极电极间隔开，并且形成用于电荷载流子在所述源极电极与所述漏极电极之间流动的除了所述主导电沟道之外的导电路径。

[0029] 在一个实施例中，所述HEMT器件进一步包括栅极场板，所述栅极场板接触所述栅极电极并且在所述电介质层之上延伸，其中垂直平面延伸穿过所述栅极场板，所述垂直平面垂直于所述半导体主体的由所述电介质层接触的顶表面，并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

[0030] 在一个实施例中,所述HEMT器件进一步包括栅极场板,所述栅极场板接触所述栅极电极并且在所述电介质层之上延伸,其中所述栅极场板与垂直平面间隔开,所述垂直平面垂直于所述半导体主体的由所述电介质层接触的顶表面,并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

[0031] 在一个实施例中,所述HEMT器件进一步包括源极场板,所述源极场板被电耦合至所述源极电极并且直接在所述电介质层和所述栅极电极之上延伸,其中垂直平面延伸穿过所述源极场板,所述垂直平面垂直于所述半导体主体的由所述电介质层接触的顶表面,并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

[0032] 在一个实施例中,所述HEMT器件进一步包括源极场板,所述源极场板被电耦合至所述源极电极并且直接在所述电介质层和所述栅极电极之上延伸,其中所述源极场板与垂直平面间隔开,所述垂直平面垂直于所述半导体主体的由所述电介质层接触的顶表面,并且延伸穿过所述辅助沟道层的面向所述栅极电极的侧壁。

[0033] 根据本公开提供的HEMT器件显示出高的电流值,而不管操作条件如何,并且不管存在于沟道层中的陷阱(其不要求用于减少陷阱的任何特定优化)。器件的性能得以显著提高。

附图说明

[0034] 为了更好地理解本实用新型,现在纯粹通过非限制性示例的方式并参照随附图来描述其优选实施例,其中:

[0035] 图1在横向截面图中示出根据本公开的一个实施例的HEMT器件;

[0036] 图2在横向截面图中示出根据本公开的另一实施例的HEMT器件;

[0037] 图3在横向截面图中示出根据本公开的另一实施例的HEMT器件;

[0038] 图4在横向截面图中示出根据本公开的另一实施例的HEMT器件;

[0039] 图5在横向截面图中示出根据本公开的另一实施例的HEMT器件;

[0040] 图6A至图6E在横向截面图中示出图1的HEMT器件的相继的制造步骤;以及

[0041] 图7示出与根据现有技术的HEMT器件相比在不同漏极电压条件下的图1的HEMT器件的漏极电流的曲线图。

具体实施方式

[0042] 图1在彼此正交的轴X、Y、Z的三轴系统中示出常断型HEMT器件1A,包括:半导体衬底2;半导体缓冲层3,其在衬底2之上延伸并设计成使得能够实现二维电子气体(2DEG)在位于上面的导电沟道中的更好的耗尽;沟道层4,其在缓冲层3之上延伸;半导体势垒层6,其在沟道层4之上延伸;电介质材料的绝缘层7,电介质材料为诸如氮化硅(Si_3N_4)或氧化硅(SiO_2)等,绝缘层7在势垒层6的正面侧之上延伸;和栅极区8,其在半导体主体3中在源极电极10与漏极电极12之间延伸。在一个或多个实施例中,衬底2例如由硅、碳化硅(SiC)或蓝宝石(Al_2O_3)制成。在一个或多个实施例中,缓冲层3由氮化铝镓(AlGaN)、氮化铟镓(InGaN)制成或者一般地由 AlGaN 或 InGaN 合金制成。在一个或多个实施例中,沟道层4由氮化镓(GaN)或本征 InGaN 制成,并且具有被包括在近似5nm与400nm之间的厚度,例如近似15nm。在一个或多个实施例中,势垒层6由本征氮化铝镓(AlGaN)制成或者更一般地由基于诸如 $\text{Al}_x\text{Ga}_{1-x}$

$x\text{N}$ 、 AlInGaN 、 $\text{InxGa}_{1-x}\text{N}$ 、 $\text{AlxIn}_{1-x}\text{Al}$ 等的氮化镓的三元或四元合金的化合物制成,并且具有被包括在近似5nm与400nm之间的厚度,例如近似15nm。

[0043] 衬底2、缓冲层3、沟道层4、势垒层6和绝缘层7处于平行于平面XY的相应平面中,并且在Z方向上彼此堆叠。

[0044] 沟道层4和势垒层6形成异质结构13。衬底2、缓冲层3和异质结构13作为整体用术语“半导体主体15”限定。

[0045] 栅极区8通过绝缘层7的相应部分与源极区10和漏极区12横向地(即,沿X)分开和绝缘。栅极区8是凹陷型的;即,栅极区8在深度方向上延伸穿过绝缘层7并完全穿过势垒层6,直到沟道层4为止。

[0046] 换言之,栅极区8形成在穿过绝缘层7和势垒层6蚀刻出的沟槽9中。

[0047] 栅极电介质层8a面向沟槽9的底部和侧壁在沟槽9中延伸。栅极电介质8a可以进一步可选地在沟槽9外部延伸,即在绝缘层7上延伸。栅极金属化层8b完成对沟槽9的填充并在栅极电介质层8a之上延伸。栅极电介质层8a和栅极金属化层8b形成HEMT器件1A的栅极区8。

[0048] 栅极区8具有面向漏极区12的第一侧8'和面向源极区10的第二侧8"。栅极区8的第一侧8'和第二侧8"至少部分地平行于彼此并且平行于平面XY。

[0049] 根据本公开的一个方面,辅助沟道20在势垒层6的正面侧6a之上在源极区10与漏极区12之间延伸,并且被电耦合至源极区10和漏极区12。特别地,辅助沟道20在栅极区8的第一侧8'与漏极区12之间延伸,并且在栅极区8的第二侧8"与源极区10之间延伸。然而,辅助沟道的在栅极区8与源极区10之间延伸的部分可以不存在。

[0050] 更详细地,辅助沟道20在源极区10的一部分与栅极氧化物8a的相应部分之间延伸并与它们接触,并且进一步与漏极区12直接接触,栅极氧化物8a的相应部分限定栅极区8的第二侧8"。然而,辅助沟道20不与栅极区8的第一侧8'直接接触,而是与之相距一定距离。因此,辅助沟道20在第一侧8'附近延伸,而从来不与之直接接触。辅助沟道20与栅极区8的第一侧8'相距的距离 d_1 (在X方向上测得)延伸,距离 d_1 被选择为使得电场在第一侧8'上不是过高的。如果电场引起或可能引起栅极电介质的击穿,则认为电场太高。

[0051] 本申请人已经发现,等于或大于 $0.5\mu\text{m}$ 的距离 d_1 的值足以满足针对 d_1 的选择的上述条件。

[0052] 根据本公开的一个实施例,在存在栅极电极或栅极场板30的情况下,辅助沟道20相对于提供场板30的金属层以不大于值 d_2 的最大距离(沿X测得)横向偏移地延伸。距离 d_2 的值被选择为使得不会出现参照现有技术所讨论的二维电子气体(2DEG)的耗尽以及由于捕获现象而导致的通态电阻的增加的问题。 d_2 的确切选择可以通过在测试装置上的实验测试来实验地进行。

[0053] 本申请人已经发现,等于或小于 $0.5\mu\text{m}$ 的距离 d_2 的值是为了克服现有技术的缺点。

[0054] 根据一个实施例,辅助沟道20由具有N型掺杂、特别是具有被包括在 $1 \times 10^{18}\text{cm}^{-3}$ 与 $1 \times 10^{19}\text{cm}^{-3}$ 之间、特别是 $1 \times 10^{18}\text{cm}^{-3}$ 的掺杂剂物质的密度的氮化镓(GaN)制成。在该情况中,辅助沟道20的厚度被包括在5nm与100nm之间,特别是50nm。

[0055] 在图2中详细示出的根据备选实施例的HEMT 1B中,辅助沟道20是包括位于氮化镓(GaN)层24上面的氮化铝镓(AlGaIn)层22的异质结构。AlGaIn层22具有被包括在5nm与50nm之

间的厚度,以及被包括在15%与50%之间(例如,25%)的铝浓度;GaN层24具有被包括在2nm与50nm之间的厚度,例如8nm。

[0056] 关于势垒层6,在图1和图2的两个实施例中,它都优选地由具有彼此不同的铝浓度的两个中间AlGaN层6'、6"形成。根据本公开的一方面,第二中间层6"中的铝的浓度低于第一中间层6'中的铝的浓度。特别地,与沟道层直接接触地延伸的第一中间层6'由具有被包括在10%与40%之间(例如25%)的铝浓度的AlGaN制成,而直接在第一中间层6'之上延伸的第二中间层6"由具有低于前一个铝浓度的、即被包括在5%与30%之间(例如15%)的铝浓度的AlGaN制成,或者由具有在远离第一中间层6'的方向Z上减小的铝浓度分布(例如,在与第一中间层6'的界面处的30%的铝和在正面侧6a处的5%的铝)的AlGaN制成。第二中间层6"进一步包括掺杂有N型掺杂物质的硅。

[0057] 势垒层6的该构造使得能够在辅助沟道20与势垒层6之间的势垒的减小。

[0058] 在HEMT 1A、1B的操作期间,电荷载流子遵循由图1中的P₁和P₂指示的导电路径从源极区10流动至漏极区12。可以注意到,在有源区的被包括在栅极区8与源极区10之间的部分中,导电路径P₁与P₂重合;相反,在有源区的被包括在栅极区8与漏极区12之间的部分中,导电路径P₁与P₂不重合。这里,电荷载流子的一部分穿过沟道4中的二维电子气体(2DEG)朝向漏极区12流动(路径P₁),而电荷载流子的一部分穿过沟道4中的二维电子气体(2DEG)、势垒层6和辅助沟道20朝向漏极区12流动。

[0059] 电荷载流子对导电路径P₁或P₂的选择取决于由电荷载流子在所述路径中遇到的电阻。

[0060] 在沟道层4中的电阻R_{ON}(由于已知的捕获现象而)不期望的增加的情况下,导电路径P₂有优于导电路径P₁的特权。以该方式,在HEMT 1A的其中电阻R_{ON}由于沟道层4中的陷阱而增加的开关操作条件期间,总是存在用于电流的备选路径,即由辅助沟道20提供的路径。

[0061] 因此,HEMT器件1A的操作不被沟道层4中的陷阱抑制。

[0062] 栅极区8的第一侧8'与辅助沟道20之间的距离d₁保证在所考虑的操作电压(例如,400V和600V)下,栅极区8处的电场不是过度高的值以致击穿栅极氧化物8a。

[0063] 根据本公开的另一方面,图3中图示出的HEMT 1C(根据图1或图2的实施例中的任一个)进一步具有场板金属层30,其作为栅极金属化层8b的延长部分朝向漏极区12延伸,直到它位于(在俯视图中或等效地在Z方向上)辅助沟道20上面。辅助沟道20和场板金属层30通过绝缘层7和栅极电介质8a(如果存在)彼此分开。

[0064] 作为具有栅极连接型的场板金属层30的HEMT 1A、1B、1C的备选方案,可以存在源极连接型的一个或多个场板,即被电耦合至分别在图4和图5中所图示的HEMT 1D、1E中的源极区10的金属化层(源极连接的场板用附图标记34标识)。

[0065] 参照图4的HEMT 1D,场板金属层34平行于辅助沟道20在栅极区8与漏极区12之间延伸,直到它与辅助沟道20重叠(在俯视图中或等效地在Z方向上)。辅助沟道20和场板金属层34通过绝缘层7、通过钝化层32并且如果存在的话通过栅极电介质8a彼此分开。钝化层32具有使场板金属层34与栅极区8电绝缘的功能。

[0066] 根据图5所示的HEMT 1E,辅助沟道20相对于场板金属层34横向偏移地(在X方向上)延伸,即不与其重叠(在Z方向上)。

[0067] 在该情况中,在方向X上测得的界定场板金属层34的结束的边缘和界定辅助沟道

20的开始的边缘之间的最大距离是 d_3 ,并且具有被选择为使得不会创建从存在于缓冲层中的陷阱过度耗尽的2DEG区的值。

[0068] d_3 的值特别地等于或小于 $0.5\mu\text{m}$ 。

[0069] 当存在栅极场板30和源极场板34两者时,辅助沟道20延伸使得它处于上面参照图3至图4提到的两个条件中的至少一个中,即使得(i)辅助沟道20至少部分地与栅极场板30和源极场板34之间的一个重叠;和/或(ii)辅助沟道20相对于栅极场板和源极场板30、34两者并且以与栅极场板30和源极场板34之间的至少一个相距不 大于 d_2 或 d_3 的在方向X上测得的距离偏移地延伸。

[0070] 在下文中参照图6A至图6E描述的是用于制造图1的HEMT器件1A的步骤,但是大部分的相同步骤可以用于制造图2至图5的HEMT 1B至1E,在下面讨论小的修改。

[0071] 图6A在截面图中示出根据本公开的一个实施例的在用于制造HEMT器件的步骤期间的晶片50的一部分。晶片50的与已经参照图1描述并在图1中示出的那些共有的元件用相同的附图标指示,并且不再进一步详细描述。

[0072] 特别地,提供晶片50,其包括:衬底2,由例如硅(Si)或碳化硅(SiC)或氧化铝(Al_2O_3)制成,具有在方向Z上彼此相对的正面侧2a和背面侧2b;缓冲层3,在衬底2的正面侧2a上,例如由氮化铝镓(AlGaIn)或由氮化铟镓(InGaIn)制成;沟道层4,例如由氮化镓(GaIn)制成,沟道层4的下侧4a与缓冲层3相邻并在缓冲层3上面延伸;以及势垒层6,其在沟道层4之上延伸。势垒层6和沟道层4形成异质结构13。

[0073] 根据本公开的一个或多个实施例,势垒层6的形成设想:在沟道层上通过沉积 AlGaIn (例如,经由MOCVD或MBE)形成第一中间层6',直到达到被包括在5nm与20nm之间的厚度,例如8nm;和在第一中间层6'上通过沉积 AlGaIn 并以 $1 \times 10^{18}\text{cm}^{-3}$ 的掺杂水平掺杂硅形成第二中间层6'',直到达到被包括在5nm与20nm之间的厚度,例如8nm。

[0074] 在第一中间层6'的沉积期间,调节铝的浓度使得铝的浓度被包括在10%与40%之间;在第二中间层6''的沉积期间,调节铝的浓度使得铝的浓度被包括在50%与30%之间。

[0075] 作为备选方案,第二中间层6''被形成为使得它具有在远离第一中间层6'的方向Z上减小的铝浓度分布(例如,在与第一中间层6'的界面处的30%的铝和在正面侧6a处的5%的铝)。

[0076] 接下来,根据已经参照图1描述的实施例,利用N型掺杂(例如,通过MOCVD或MBE)例如通过沉积氮化镓 GaIn 而在势垒层6的正面侧6a上形成辅助沟道层56。

[0077] 作为备选方案,根据图2的实施例,通过沉积本征型的第一层氮化镓(GaIn)并接着在它上面沉积 AlGaIn 层来形成辅助沟道层56。通过沉积(例如,通过MOCVD或MBE)、选择性地调制两个层中的期望的铝量来执行形成辅助沟道层56的 GaIn 层和 AlGaIn 层两者的沉积。

[0078] 接着(图6B),执行辅助沟道层56的掩蔽蚀刻的步骤,以在将在随后的机加工步骤中形成栅极沟槽9的区域57'处去除其第一选择性部分;并且进一步去除辅助沟道层56的第二选择性部分,其与区域57'并排地延伸在方向X上等于 d_1 的长度(图6B中标识的区域57'')。特别地,辅助沟道层56的去除的第二选择性部分作为第一选择性区域的横向延长部分朝向晶片50的将容纳HEMT器件1A至1E的漏极区的部分延伸。该工艺步骤限定了如先前所描述的在漏极区8与辅助沟道20之间的距离 d_1 。

[0079] 接着,再次参照图6B,例如氮化硅(SiN)或氧化硅(SiO_2)的电介质或绝缘材料的钝

化层52被形成在晶片50上(并因此在如此构造的辅助沟道层56上并在区域57'、57"处)。钝化层52具有被包括在5nm与300nm之间(例如100nm)的厚度,并且通过CVD或原子层沉积(ALD)形成,并且在制造步骤结束时,将形成绝缘层7。

[0080] 接下来(图6C),例如通过光刻和蚀刻步骤选择性地去除钝化层52,以用于在晶片50的将要形成HEMT器件1的栅极区8的区域57'中去除其选择性部分。

[0081] 蚀刻步骤可以在位于下面的势垒层6处停止(以提供常通型的HEMT),或者它可以部分地继续进行到势垒层6中(后一实施例被示出在图6C中)。在该第二种情况中,位于下面的沟道层4的表面部分4'露出。对势垒层6的蚀刻例如通过干法蚀刻来执行。

[0082] 因此形成沟槽9,其贯穿钝化层52的厚度并且针对势垒层6的位于下面的部分延伸。

[0083] 接着例如通过沉积形成栅极电介质层8a,栅极电介质层8a例如由从氮化铝(AlN)、氮化硅(SiN)、氧化铝(Al₂O₃)和氧化硅(SiO₂)之中选出的材料制成。栅极电介质层8a具有在1nm和50nm之间选择的厚度,例如20nm。

[0084] 接下来(图6D),在晶片50上执行沉积导电材料的步骤,以在栅极电介质层8a上形成导电层58,特别是为了填充沟槽9。例如,导电层58由诸如钽(Ta)、氮化钽(TaN)、氮化钛(TiN)、钯(Pa)、钨(W)、硅化钨(WSi₂)、钛/铝(Ti/Al)或镍/金(Ni/Au)等的材料制成。

[0085] 接着通过本身已知的光刻和蚀刻步骤选择性地去除导电层58,以用于将其从晶片50上消除,除了其在沟槽9中延伸的部分,从而形成栅极金属化层8b。在相同的步骤期间,使用用于对导电层58进行蚀刻的适当掩模,进一步可以以本身已知的方式限定参照图3所描述的栅极场板30。

[0086] 栅极金属化层8b和栅极电介质8a作为整体形成图1的HEMT器件的凹陷栅极区8。

[0087] 接着(图6E),执行对栅极电介质8a、钝化层52、辅助沟道层56和势垒层6的掩蔽蚀刻的一个或多个进一步的步骤,以去除它们的在晶片50的将要形成HEMT器件1A的源极和栅极区10、12的区域中延伸的选择性部分。

[0088] 对钝化层52的选择性部分的去除导致图1中图示出的绝缘层7的形成。同样,对辅助沟道层56的选择性部分的去除导致图1中图示出的辅助沟道20的形成。

[0089] 特别地,在栅极区8的相对侧(侧8'和8")上并且与栅极区8相距一定距离形成开口,直到到达沟道层4。

[0090] 接下来,通过在晶片50上通过溅射或蒸发来沉积导电材料(特别是诸如钛(Ti)或铝(Al)等的金属或者它们的合金或化合物)执行形成欧姆接触的步骤,以提供源极区和漏极区10、12。接着执行对如此沉积的金属层的下一蚀刻步骤,以从晶片50去除所述金属层(除了在源极和漏极开口内延伸的金属部分),以在其中分别形成源极区10和漏极区12。

[0091] 接下来,例如以被包括在近似500°C与900°C之间的温度持续20秒至5分钟的时间的快速热退火(RTA)的步骤使得能够实现源极电极10和漏极电极12与位于下面的沟道层(具有二维气体2DEG)形成电极欧姆接触。

[0092] 因此形成图1所示的HEMT器件1A。

[0093] 图7针对通过示例的方式提供的两个偏置值(400V和600V)并且在根据本公开存在辅助沟道的情况和根据现有技术不存在辅助沟道的情况两者中,描绘了根据漏极应力变化的漏极电流(I_D) (其指示出通态电阻R_{ON})的曲线图(通过模拟获得)。特别地,参照图7:

[0094] -曲线C₁示出在根据本公开的设置有助沟道20的HEMT器件中在预应力条件下根据漏极电流变化的漏极电压V_D的曲线图；

[0095] -曲线C₂示出在没有辅助沟道20的情况下在根据现有技术的HEMT器件中在预应力条件下根据漏极电流变化的漏极电压的曲线图；

[0096] -曲线C₃代表在根据本公开的设置有助沟道20的HEMT器件中在后应力条件(400V)下根据漏极电流变化的漏极电压的曲线图；

[0097] -曲线C₄代表在没有辅助沟道20的情况下在根据现有技术的HEMT器件中在后应力条件(400V)下根据漏极电流变化的漏极电压的曲线图；

[0098] -曲线C₅代表在根据本公开的设置有助沟道20的HEMT器件中在后应力条件(600V)下根据漏极电流变化的漏极电压的曲线图；和

[0099] -曲线C₆代表在没有辅助沟道20的情况下在根据现有技术的HEMT器件中在后应力条件(600V)下根据漏极电流变化的漏极电压的曲线图。

[0100] 如可以注意到的,辅助沟道20的存在(曲线C₁、C₃、C₅)与未设想辅助沟道20的实施例(曲线C₂、C₄、C₆)相比在彼此相当的操作条件下确定了在漏极电流上的显著增加。

[0101] 结果,根据本公开,与根据现有技术可获得的相比,提高了HEMT器件1的操作和功能特性。

[0102] 根据本公开提供的HEMT器件显示出高的电流值,而不管操作条件如何,并且不管存在于沟道层中的陷阱(其不要求用于减少陷阱的任何特定优化)。器件的性能得以显著提高。

[0103] 最后,显然可以对本文所描述和图示出的内容进行修改和变化,而不会由此脱离本公开的范围。

[0104] 例如,根据另外的实施例(未示出),半导体主体5可以仅包括适当地掺杂或本征型的一层或者多于一层的GaN或GaN合金。

[0105] 此外,根据一个实施例,源极区10和漏极区12在半导体主体5中在深度方向上完全穿过势垒层6并且部分地穿过沟道层4延伸,并终止在沟道层4内。

[0106] 作为备选方案,源极和漏极接触的的金属化层可以进一步仅部分凹陷地设置在势垒层6内,或者面向势垒层6的正面侧6a。

[0107] 源极、漏极和栅极接触的的金属化层可以使用为此目的设计的任何材料制成,诸如例如AlSiCu/Ti、Al/Ti或W塞等的接触的形成。

[0108] 此外,根据一个实施例,栅极区8不完全延伸穿过势垒层6,而是终止于势垒层的正面侧6a出;在该情况中,HEMT器件是常通型的。

[0109] 可以将上面描述的各种实施例组合以提供另外的实施例。鉴于上面详述的描述,可以对实施例进行这些和其他改变。一般地,在所附权利要求中,所使用的术语不应该被解释为将权利要求限制于说明书和权利要求中公开的特定实施例,而是应该被解释为包括这样的权利要求赋予其权利的所有可能的实施例连同等效方式的全部范围。因此,权利要求不受本公开限制。

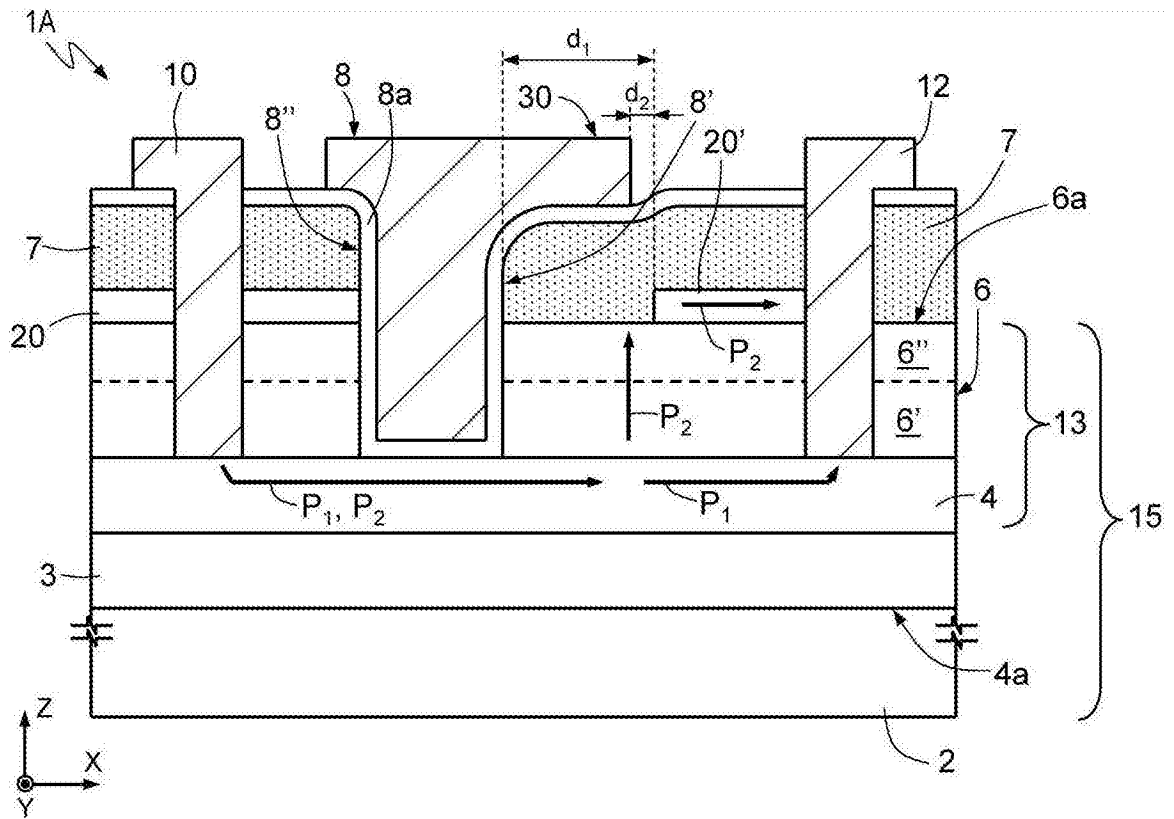


图1

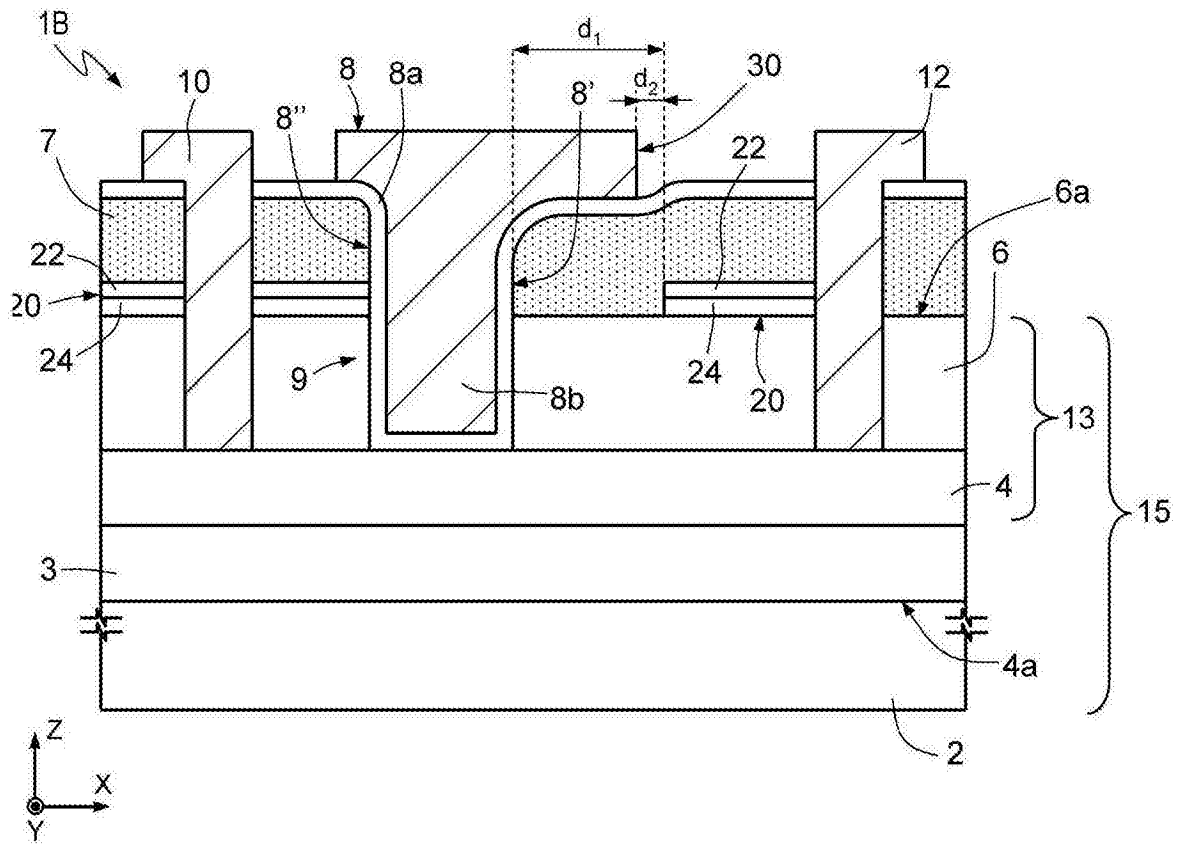


图2

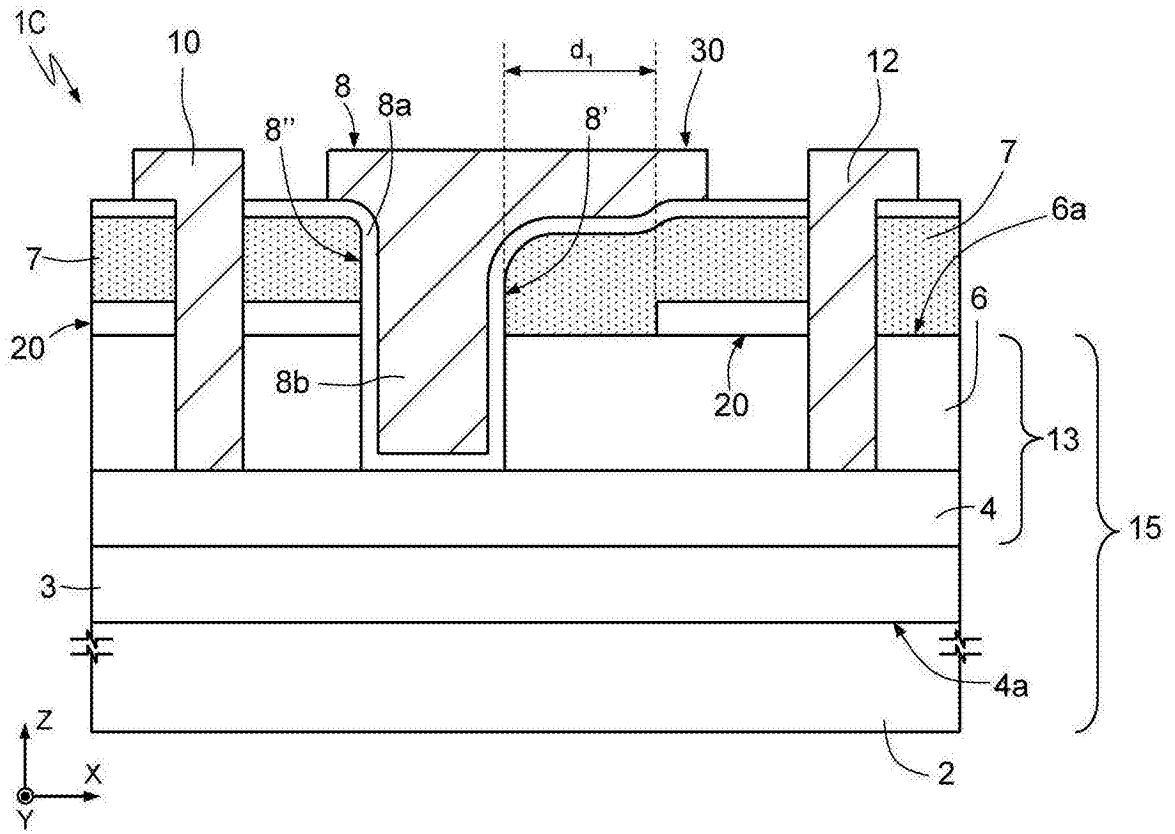


图3

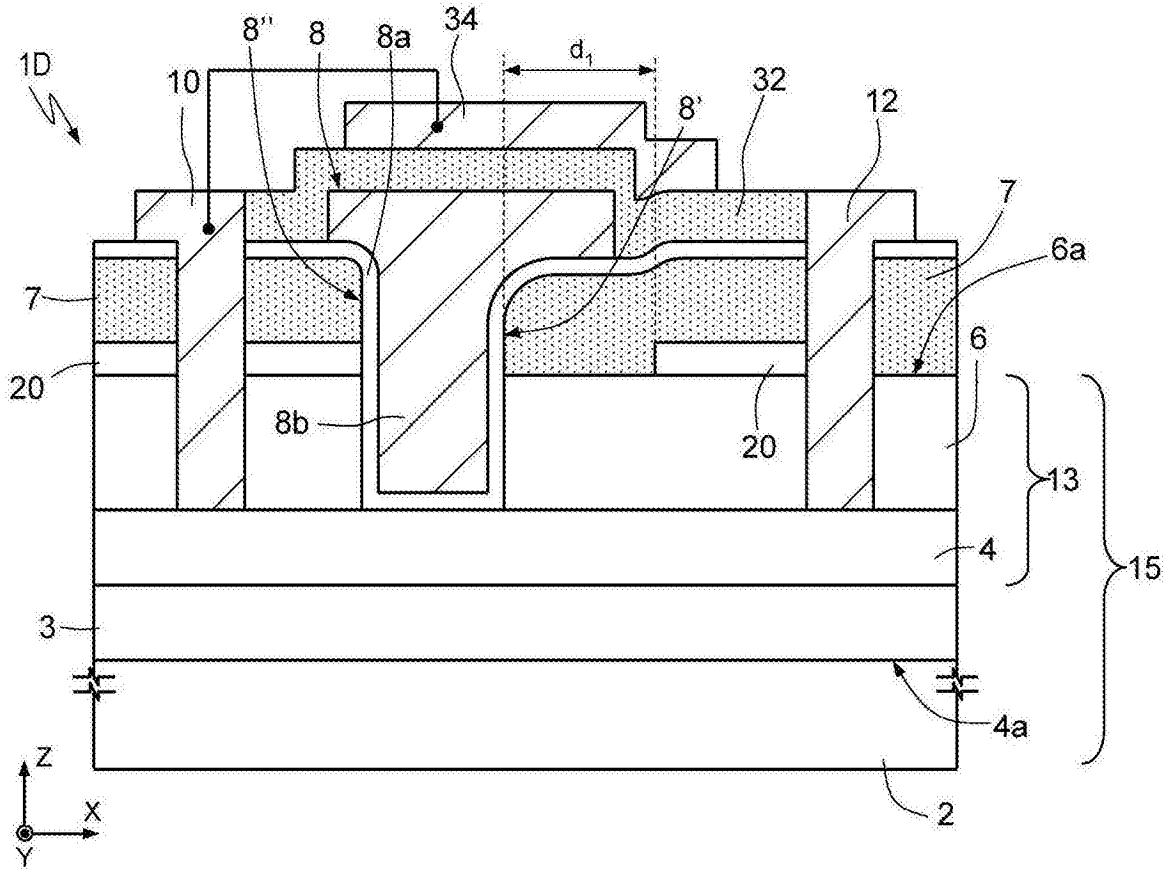


图4

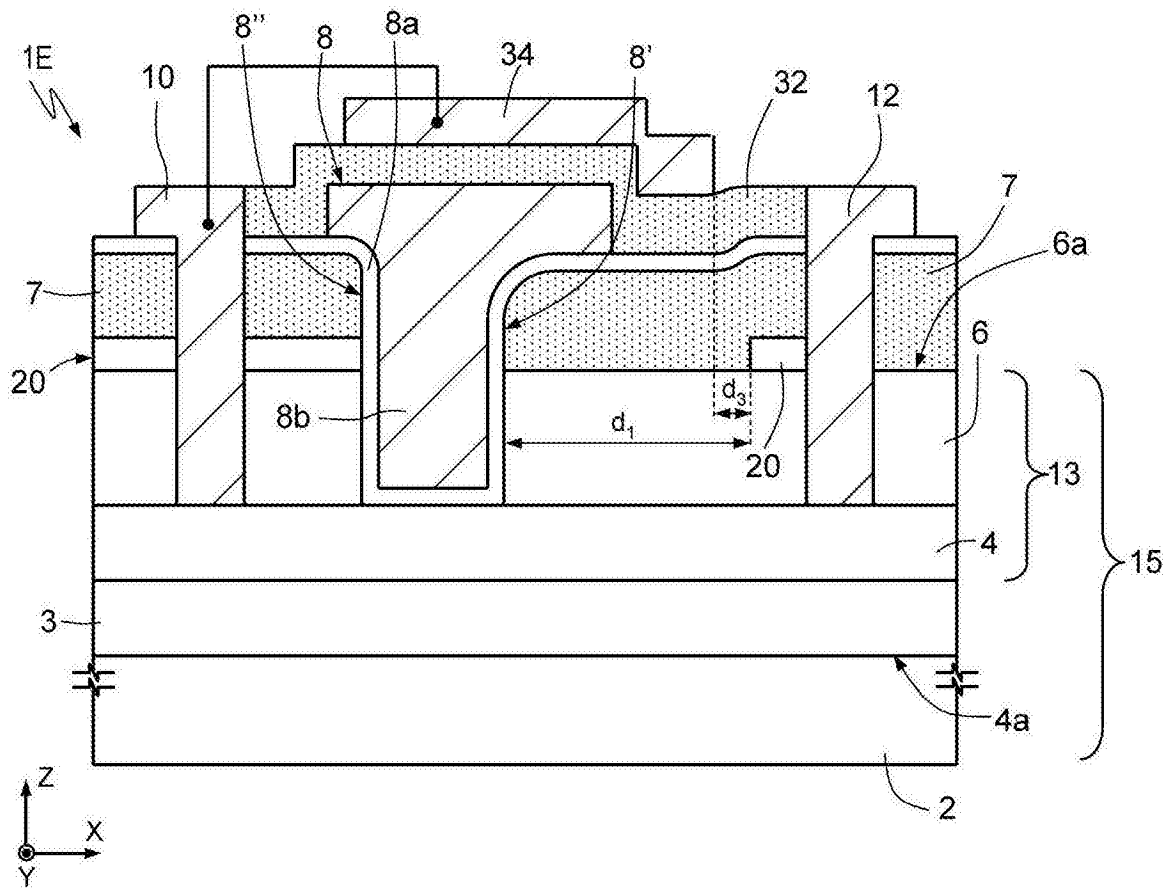


图5

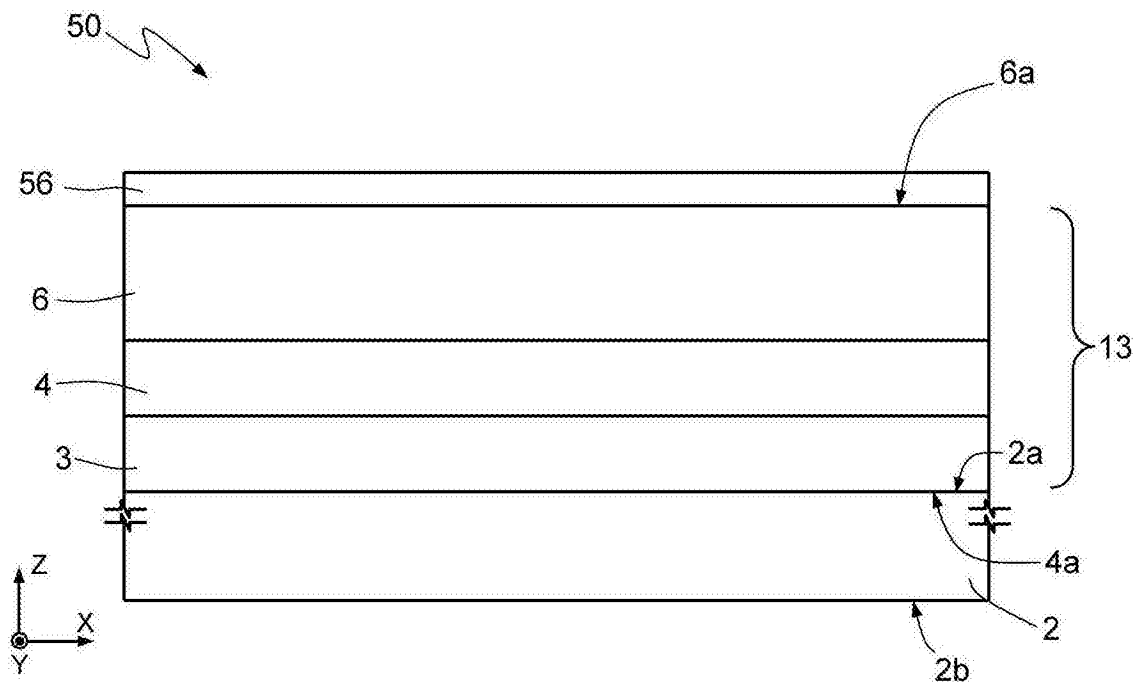


图6A

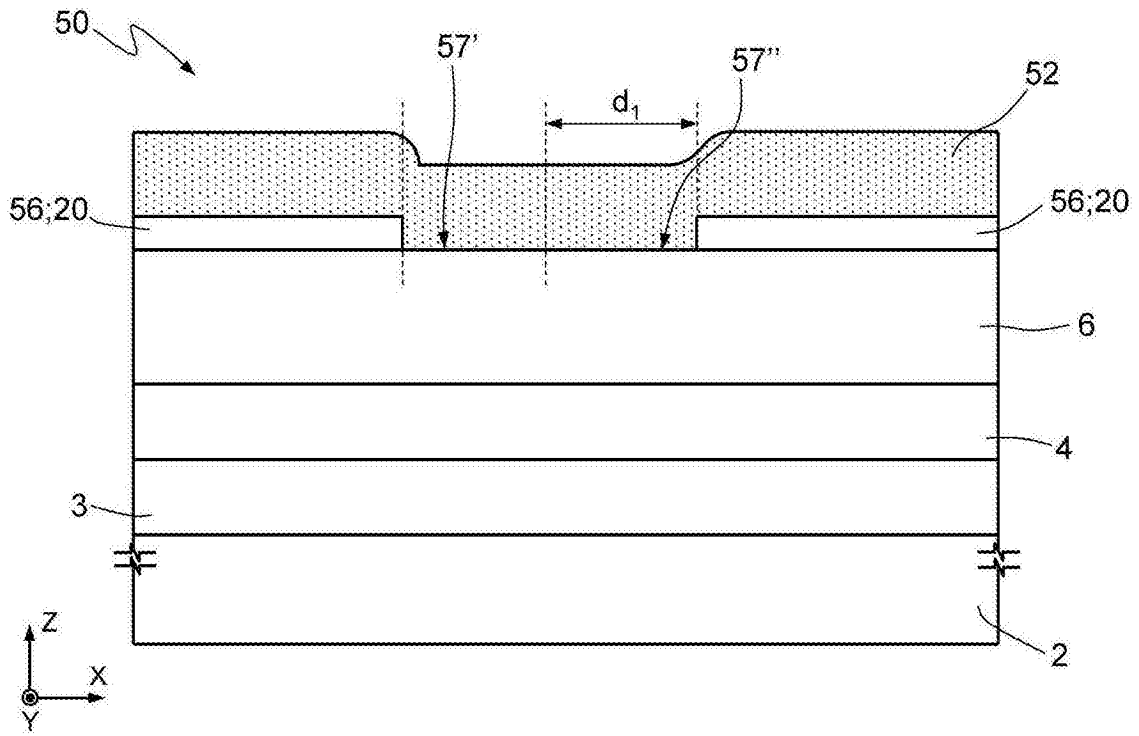


图6B

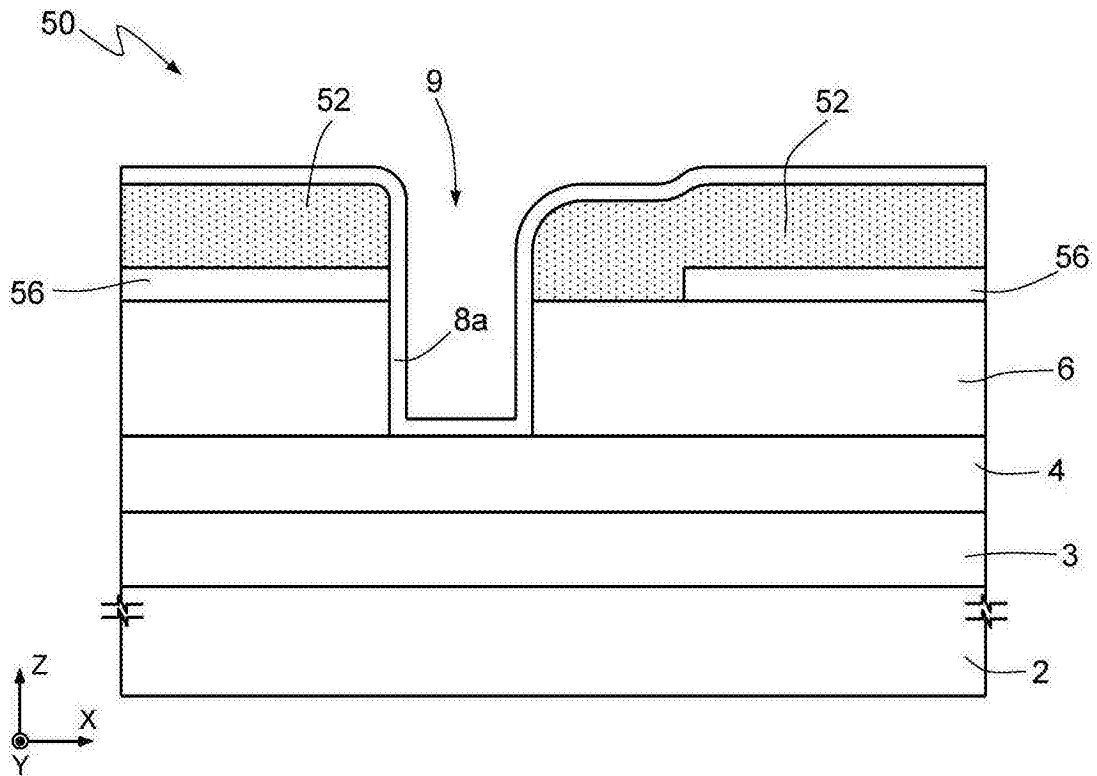


图6C

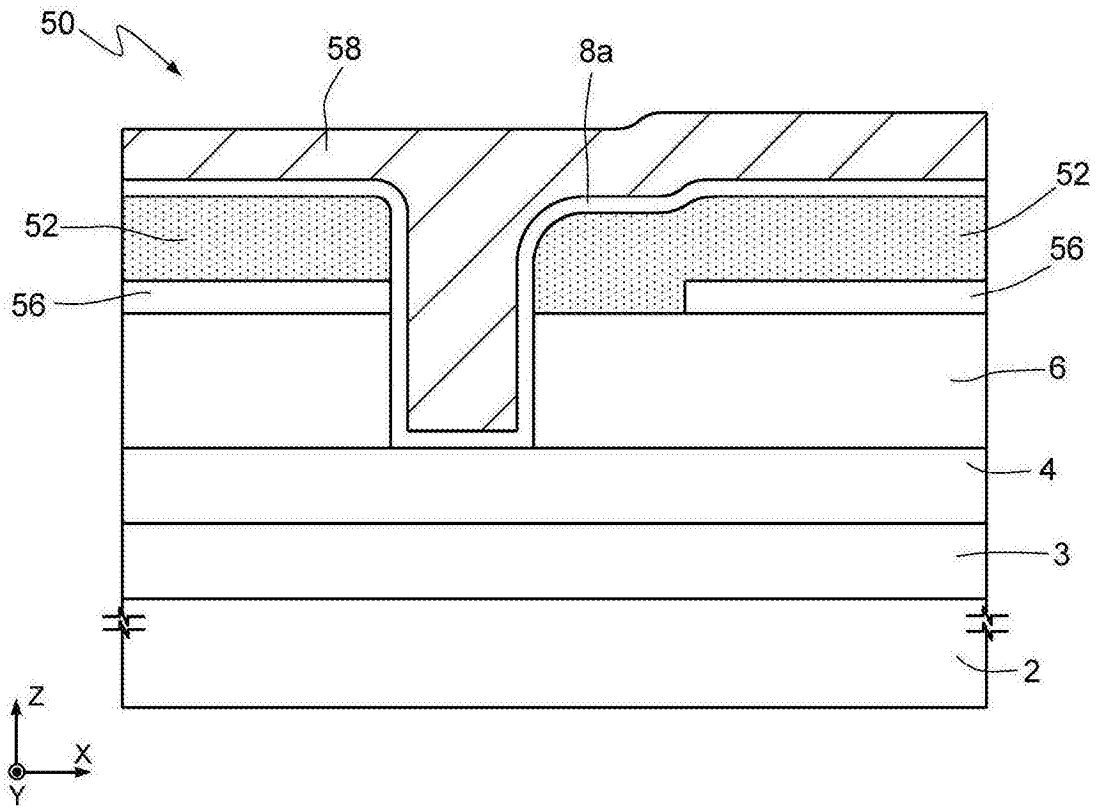


图6D

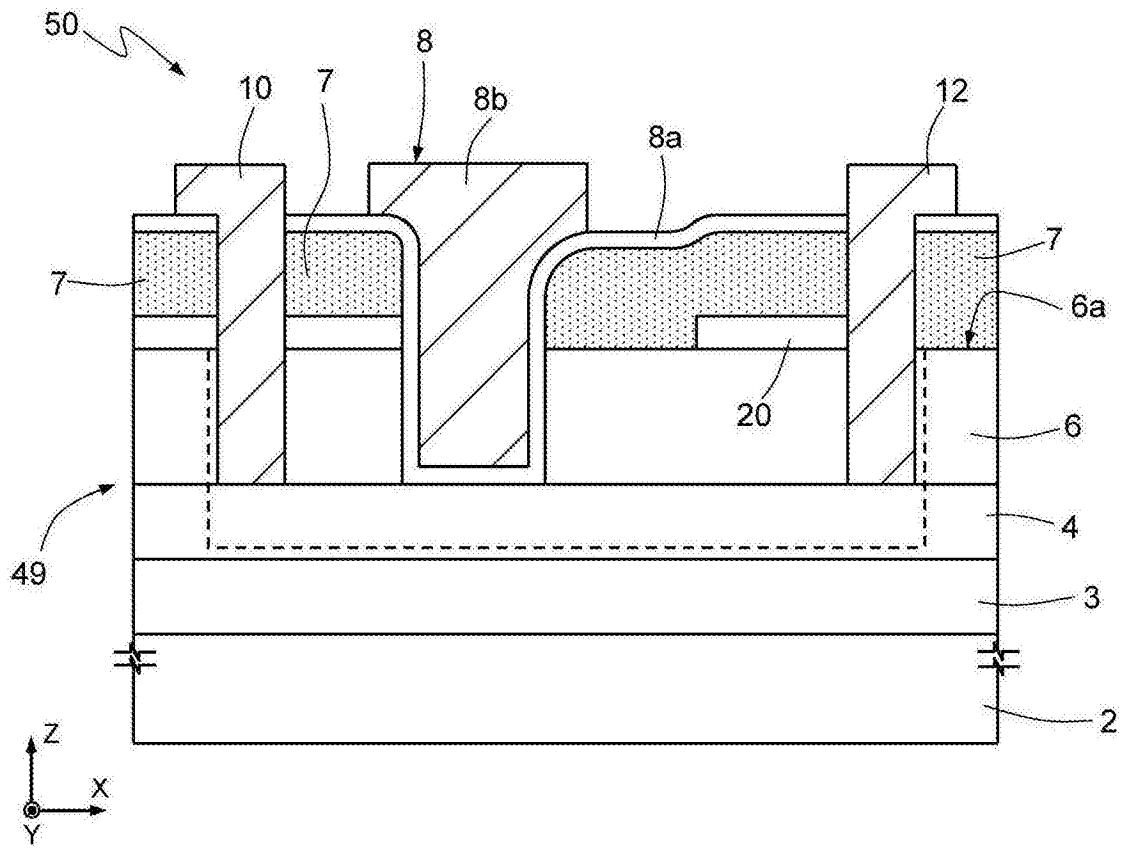


图6E

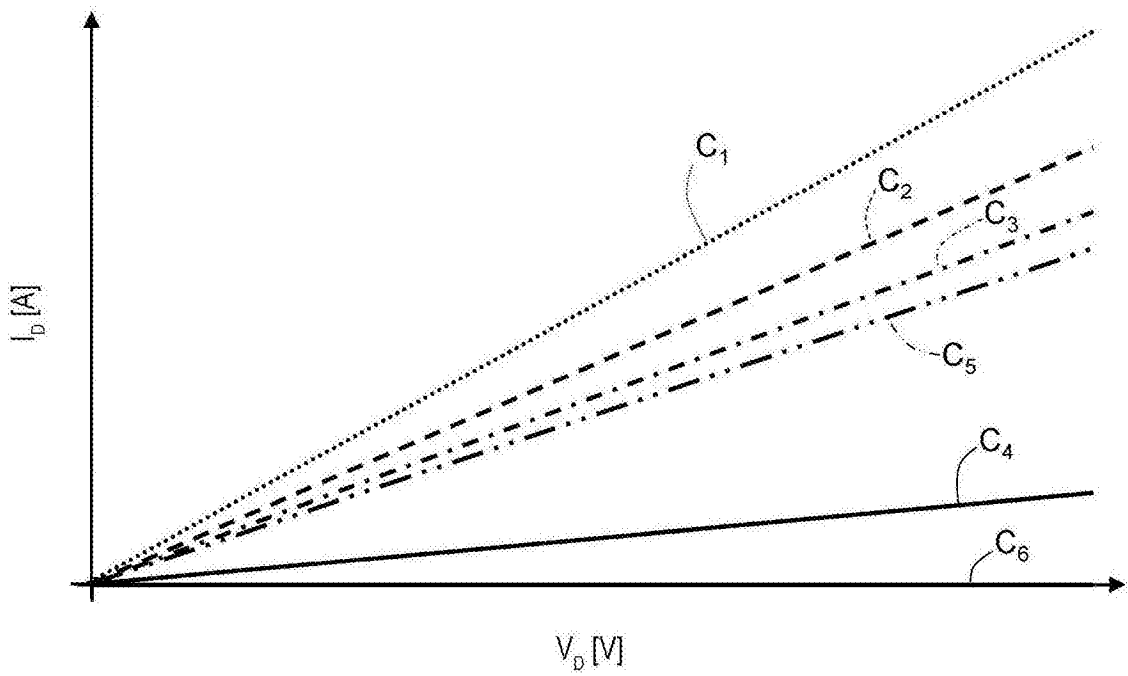


图7