

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480025976.9

[51] Int. Cl.

H01L 21/338 (2006.01)

H01L 31/072 (2006.01)

H01L 27/095 (2006.01)

H01L 23/58 (2006.01)

[45] 授权公告日 2009年9月16日

[11] 授权公告号 CN 100541745C

[22] 申请日 2004.9.9

[21] 申请号 200480025976.9

[30] 优先权

[32] 2003.9.9 [33] US [31] 60/501,557

[86] 国际申请 PCT/US2004/029324 2004.9.9

[87] 国际公布 WO2005/024909 英 2005.3.17

[85] 进入国家阶段日期 2006.3.9

[73] 专利权人 加利福尼亚大学董事会

地址 美国加利福尼亚州

共同专利权人 克锐公司

[72] 发明人 A·池尼 U·K·米什拉

P·帕瑞克 Y·巫

[56] 参考文献

US2003/0102482A1 2003.6.5

US6586813B2 2003.7.1

US2003/0006437A1 2003.1.9

US6445038B1 2002.9.3

High Breakdown Voltage GaN HFETwith Field Plate. J. Li, et al. Electronics Letters, Vol. 37 No. 3. 2001

审查员 刘深亮

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 赵蓉民

权利要求书6页 说明书11页 附图4页

[54] 发明名称

单个或多个栅极场板的制造

[57] 摘要

一种制造单个或多个栅极场板的方法，其利用了下列连续步骤：在场效应晶体管表面上进行介电材料沉积/生长、介电材料蚀刻以及金属蒸镀。由于介电材料沉积/生长是一种充分可控的处理，因此这种制造方法允许对场板工作进行严格控制。而且，沉积在器件表面上的介电材料无需从器件本征区中去除：这实质上使得无需低损伤介电材料干法/湿法蚀刻便能实现场板器件。使用多个栅极场板还通过多个连接来减少栅极电阻，从而改善了大周边和/或亚微米栅器件的性能。

1. 一种制造一个或多个栅极场板的方法，包括：

在一器件的表面上执行下列连续步骤：介电材料沉积或生长、介电材料蚀刻和金属蒸镀，以形成一个或多个场板，其中沉积在所述器件的有源区上的所述介电材料无需从所述有源区中去除且在所述介电材料上形成所述场板，由此使得能够在不利用低损伤干法或湿法蚀刻处理的情况下实现场板器件。

2. 根据权利要求 1 所述的方法，其中每个所述步骤改变一个或多个参数以允许对所述场板的工作进行控制并获得期望的击穿电压或射频性能，这些参数包括相对于栅极和其它场板的场板偏移量、场板的数目、场板长度、介电材料厚度以及所述场板和所述栅极之间的电连接。

3. 根据权利要求 1 所述的方法，进一步包括用多个栅极场板形成多个连接以减小栅极电阻。

4. 根据权利要求 1 所述的方法，其中所述场板被置于一栅源通道区内，以此提供调整所述有源区的能力，从而减少在大射频信号下妨碍正常器件操作的表面陷获效应。

5. 根据权利要求 1 所述的方法，进一步包括使所述有源区的表面完全不会暴露于可在所述器件中引起损伤的所述干法或湿法蚀刻处理。

6. 根据权利要求 1 所述的方法，进一步包括通过适当地调整介电材料厚度，在所述介电材料的顶上沉积一平行栅极触点，以通过在非本征区上电连接至少两个平行栅极来显著减小栅极电阻，其中所述介电材料厚度经选择以确保所述场板所附加的寄生电容与本征器件的寄生电容相比可忽略。

7. 根据权利要求 1 所述的方法，其中所述器件是场效应晶体管，其包括源极欧姆触点和漏极欧姆触点、一栅极触点以及一有源区。
8. 根据权利要求 1 所述的方法，其中所执行的步骤进一步包括：
- (1) 在所述器件的本征及非本征区上沉积或生长所述介电材料；
 - (2) 对所述介电材料进行图案化，使得该介电材料主要保留在所述器件的一有源区上；以及
 - (3) 在图案化的所述介电材料上形成一场板，其中栅极和场板触点至少在所述非本征区的一侧电短路，从而在其间提供低电阻连接。
9. 根据权利要求 8 所述的方法，进一步包括控制所述场板之间的所述介电材料的厚度以实现所述器件的正常射频工作。
10. 根据权利要求 8 所述的方法，其中所述图案化步骤（2）包括通过干法或湿法蚀刻处理或通过剥离处理来图案化所述介电材料。
11. 根据权利要求 8 所述的方法，其中所述形成场板的步骤（3）进一步包括在所述栅极和所述场板触点电短路之前，在图案化的所述介电材料上蒸镀一场板。
12. 根据权利要求 8 所述的方法，其中步骤（1）至（3）被重复进行，以形成多个所述场板。
13. 根据权利要求 8 所述的方法，其中所述场板具有电阻 R_f ，其等于栅极电阻 R_g 。
14. 根据权利要求 8 所述的方法，其中所述场板被连接到所述器件本征区的两侧。
15. 根据权利要求 8 所述的方法，进一步包括在所述栅极与所述场板之间形成多个连接，以减小所述栅极电阻。

16. 根据权利要求 15 所述的方法，其中所述形成多个连接的步骤进一步包括在沉积所述栅极之前，蚀刻一小部分所述有源区，以在所述栅极与所述场板之间形成所述多个连接。

17. 根据权利要求 15 所述的方法，进一步包括在所述有源区之间进行间隔，以操纵所述器件的热阻抗。

18. 根据权利要求 15 所述的方法，其中所述器件与不带多个连接、无主要保留在有源区上的介电材料以及没有电短路的栅极和场板触点的器件相比包括具有较少数目风桥的较大周边器件。

19. 根据权利要求 15 所述的方法，其中所述形成多个连接的步骤进一步包括在不用 T 形法的情况下形成所述多个连接以降低栅极电阻。

20. 根据权利要求 15 所述的方法，其中所述形成多个连接的步骤进一步包括用平行场板形成所述多个连接。

21. 根据权利要求 20 所述的方法，其中所述形成场板的步骤进一步包括以下步骤：形成覆盖所述栅源通道区的所述场板，以调整源极通道电阻，改善器件线性性能。

22. 根据权利要求 1 所述的方法，其中栅极和所述场板仅在所述器件的非本征区的一侧或多侧进行电连接，且通过控制栅极和所述场板之间所形成连接处的宽度来减少栅极电阻。

23. 一种器件，该器件是用权利要求 1 所述方法制造的。

24. 一种制造栅极场板的方法，包括：

(a) 在所述器件的本征及非本征区上沉积或生长介电材料；

(b) 对所述介电材料进行图案化，以使该介电材料主要保留在所述器件的一有源区上；以及

(c) 在图案化的所述介电材料上形成一场板，其中栅极和场板触点至少在所述非本征区的一侧电短路，从而在其间提供低电阻连接。

25. 根据权利要求 24 所述的方法，进一步包括控制所述场板之间的所述介电材料的厚度以实现所述器件的正常射频工作。

26. 根据权利要求 24 所述的方法，其中所述图案化步骤 (b) 包括通过干法或湿法蚀刻处理或通过剥离处理来图案化所述介电材料。

27. 根据权利要求 24 所述的方法，其中所述形成步骤 (c) 包括在图案化的所述介电材料上蒸镀一场板。

28. 根据权利要求 24 所述的方法，其中步骤 (a) 至 (c) 被重复进行，以形成多个所述场板。

29. 一种高电子迁移率晶体管，包括：

一衬底；

一结核层，其生长于所述衬底上；

一通道层，其形成于所述结核层上；

一阻挡层，其形成于所述通道层上；

一介电隔离层，其生长于所述阻挡层上；以及

源极和漏极，其被形成为通过所述阻挡层构成欧姆接触，以致当栅极被偏置于一适当电平时，在所述源极和漏极之间有电流流过；

其中所述隔离层被蚀刻，且所述栅极被沉积，使得至少一部分所述栅极位于一阻挡层表面上；且

其中一部分所述栅极被图案化而延伸过所述隔离层，使得所述栅极构成一场板，该场板从所述栅极朝向所述漏极延伸一距离。

30. 根据权利要求 29 所述的高电子迁移率晶体管，其中当所述栅极被偏置在所述适当电平时，通过在处于所述通道层与所述阻挡层之间的异质界面处引入的二维电子气，所述电流在所述源极和漏极之间流过。

31. 根据权利要求 29 所述的高电子迁移率晶体管，其中在所述隔离层上的一部分所述栅极形成一外延场板。

32. 根据权利要求 29 所述的高电子迁移率晶体管，进一步包括一介电钝化层，其覆盖所述隔离层。

33. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述场板形成于所述隔离层的上方，且从所述栅极的边缘朝向所述漏极延伸一距离 L_f ，即场板距离。

34. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述场板被电连接到所述栅极。

35. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述场板是在与所述栅极的延伸相同的沉积步骤中形成的。

36. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述场板和栅极是在不同的沉积步骤中形成的。

37. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述衬底包括碳化硅、蓝宝石、尖晶石、氧化锌、硅或任何能支持 III 族氮化物材料生长的其它材料。

38. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述结核层是 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 结核层，其中 $0 \leq z \leq 1$ 。

39. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述结核层是 AlN 结核层。

40. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述通道层是未掺杂的 III 族氮化物通道层。

41. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述通道层包括 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ ，且 $0 \leq x \leq 1$ ， $0 \leq y \leq 1$ ， $x+y \leq 1$ 。

42. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述通道层包括掺铁的 GaN。

43. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述阻挡层包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，且 $0 \leq x \leq 1$ 。

44. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述阻挡层包括 AlN 和 AlGaN。

45. 根据权利要求 29 所述的高电子迁移率晶体管，其中每个所述通道层和阻挡层均包括子层，所述子层是掺杂的或非掺杂的 III 族氮化物材料层。

46. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述隔离层具有均匀成分。

47. 根据权利要求 29 所述的高电子迁移率晶体管，其中所述栅极是在形成所述阻挡层之后形成的，钝化层被沉积在所述器件上，随后在叠盖所述栅极的、在栅漏区内延伸一距离 L_f 的所述钝化层上形成所述场板，且所述钝化层充当了所述场板的隔离层。

单个或多个栅极场板的制造

相关申请的交叉引用

【0001】依据美国法典第 35 篇第 119 (e) 款规定，本申请要求下列共同待决且进行了常规转让的美国临时专利申请的优先权：

【0002】序列号 60/501,557，名称“Fabrication of Single or Multiple Gate Field Plates”，其于 2003 年 9 月 9 日由 Alessandro Chini、Umesh K. Mishra、Primit Parikh 和 Yifeng Wu 提交，代理人案卷号为 30794.105-US-P1；

【0003】在此以引用方式将该申请并入本文。

关于联邦政府资助的研发项目声明

【0004】本发明是在 ONR MURI 计划所授予的批准号 N00014-01-1-0764、以及 AFOSR MURI 计划所授予的批准号 F49620-99-1-0296 下通过美国政府的支持完成的。美国政府就本发明享有一定的权利。

技术领域

【0005】本发明涉及半导体器件，特别是涉及单个或多个栅极场板的制造。

背景技术

【0006】（注：本申请在说明书中以括号内加参考编号的方式(例如 [x])引用了各种出版物。在后文题为“参考文献”一节中，根据这些参考编号的顺序给出了上述出版物的列表。在此以引用方式将所有这些出版物并入本文。）

【0007】在基于半导体的场效应晶体管（FET）中，正常工作时，在栅漏通道区内会产生高电场。场电镀（field plating）是一项众所周知

的技术，用于改善高电场工作条件下的器件性能，并减轻表面陷获或陷阱（trap）现象，参见文献[1]、[2]。例如，为了减轻所有出现在工作于高电场下的器件中的有害效应（击穿电压、陷获效应、可靠性），场电镀已成为一种有效的公知技术。

【0008】场电镀的基本概念就在于器件有源区的垂直耗尽（depletion），从而使水平耗尽区能够得到较大的扩展。这对于给定的偏置电压，将在器件有源区中形成低电场，从而减少在器件工作于高电场时出现的所有有害效应（低击穿电压、陷获现象、低可靠性）。而且，位于栅源通道区中的一个场板（field plate）还具有对器件有源区进行调整的能力，从而减少在大射频（RF）信号下妨碍正常器件操作的表面陷获效应。

【0009】因此，所需要的是制造单个或多个栅极场板的改进方法以及合并了单个或多个栅极场板的改进结构。

发明内容

【0010】本发明的实施例提供了制造单个和多个栅极场板的改进方法。一种根据本发明的制造方法使用了如下连续步骤：在场效应晶体管的表面上进行介电材料沉积或生长、介电材料蚀刻以及金属蒸镀。所述制造方法的优点包括严格控制了介电材料的厚度，并且使器件有源区的表面完全不会暴露于任何干法或湿法蚀刻处理，其中所述干法或湿法蚀刻处理可能会在形成场效应晶体管的半导体材料中引起损伤。而且，无需从器件本征区中去除沉积在器件表面上的介电材料，从而能够使场电镀器件被制成，而无干法或湿法蚀刻处理所引起的损伤。通过使用多个连接来利用多个栅极场板减小了栅极电阻，因此改善了大周边区和/或亚微米栅器件的性能。最后，通过适当调整介电材料的厚度，可将平行栅极触点沉积在介电材料的顶上，以便通过在器件非本征区上电连接所述平行栅极触点来显著减小栅极电阻。

附图说明

【0011】现参看附图，其中类似的附图标记在所有附图中均表示相应的部件：

【0012】图 1A 是场效应晶体管 (FET) 的横截面图, 而图 1B 为其顶视图;

【0013】图 2A 为器件横截面图, 图 2B 为器件顶视图, 其示出了介电材料的沉积/生长;

【0014】图 3A 为器件横截面图, 图 3B 为器件顶视图, 其示出正在从器件非本征区被除去的介电材料;

【0015】图 4A 为器件横截面图, 图 4B 为器件顶视图, 其示出栅极场板的蒸镀;

【0016】图 5A 为器件横截面图, 图 5B 为器件顶视图, 其示出了多场板结构的一个示例;

【0017】图 6 是 f_{\max} 与栅极指宽 (gate finger width) 依赖关系的模拟曲线图;

【0018】图 7A 为器件横截面图, 图 7B 为器件顶视图, 图 7C 为器件横截面图, 其示出了用于减小栅极电阻的多场板器件;

【0019】图 8 为一个基于氮化物的 HEMT (高电子迁移率晶体管) 器件的单元元件的示意性横截面图;

【0020】图 9 为一个基于氮化物的 HEMT 器件的单元元件的示意性横截面图, 该器件具有与图 8 所示器件不同的结构; 以及

【0021】图 10 为曲线图, 其示出了场板距离对器件性能的影响。

具体实施方式

【0022】在优选实施例的下列描述中参考了附图, 所述附图构成了描述的一部分, 且其中通过图解说明的方式示出了一个可实现本发明的特定实施例。应理解的是, 在不脱离本发明范围的情况下, 还可利用其它实施例, 并且可对结构进行改动。

概述

【0023】本发明描述了用于实现场效应晶体管 (FET) 的单个或多个栅极场板结构的简单制造方法。本发明使用了下列简单的、通常充分

可控的连续处理步骤：介电材料沉积或生长、介电材料蚀刻和金属蒸镀（metal evaporation）。

制造方法

【0024】图 1A、1B、2A、2B、3A、3C、4A 及 4B 根据本发明的一实施例来说明制造方法一种可能实现方式的步骤，其中所述制造方法包括制造栅极场板的方法。

【0025】图 1A 是场效应晶体管（FET）10 的横截面图，图 1B 是场效应晶体管（FET）10 的顶视图，该场效应晶体管包括源极和漏极欧姆触点（ohmic contact）12 和 14、栅极触点 16 以及有源区 18。将所述制造方法的步骤应用于场效应晶体管 10 或其它器件上。所述方法一般包括执行如下连续步骤：介电材料的沉积或生长、介电材料的蚀刻以及金属蒸镀，从而在器件的表面上形成一个或多个场板，其中所述步骤允许对场板操作进行严格控制，且其中沉积在所述表面上的介电材料无需从有源区 18 除去，从而能够获得场板器件，而无需使用低损伤介电材料的干法或湿法蚀刻方法。所执行的步骤进一步包括以下步骤：（1）在所述器件的本征和非本征区上沉积或生长介电材料，其中所述介电材料的厚度是受控的，以便实现器件的正常操作；（2）通过干法或湿法蚀刻处理或通过剥离（lift-off）处理使介电材料图案化，从而使介电材料主要保留在所述器件的有源区上；以及（3）在图案化介电材料上蒸镀（evaporating）场板，其中栅极和场板触点至少在非本征区的一侧电短路，从而在它们之间提供低电阻连接。下面结合图 2A、2B、3A、3B、4A 和 4B，更详细地说明这些步骤。

【0026】图 2A 是一个器件横截面图，图 2B 是一个器件顶视图，它们说明所述制造方法的第一个步骤，该步骤包括在器件 10 的本征和非本征区上沉积或生长介电材料 20。介电材料 20 的厚度是要被控制的关键参数，以便实现所完成的器件 10 的正常工作。然而，在大多数沉积/生长技术中，例如在 PECVD（等离子体增强化学气相沉积）中，这通常都是一种充分可控的处理。典型材料是氮化硅和氧化硅，但也可用其它材料，只要它们能够通过干法或湿法蚀刻或通过剥离而

被图案化即可。

【0027】图 3A 是一个器件横截面图，图 3B 是一个器件顶视图，它们说明了所述制造方法的第二个步骤，该步骤包括通过从器件非本征区 22 蚀刻或除去介电材料 20 来使其图案化，从而让介电材料 20 主要保留在器件 10 的有源区 18 上。在通过蚀刻来形成图案的情况下，应当强调的是，器件 10 的表面在这一步骤中将会受到保护，以防止有源区 18 的表面暴露于任何能够使形成器件的半导体材料受损的干法或湿法蚀刻处理。此步骤之后，欧姆触点 12、14 以及处于器件非本征区 22 内的栅极部分 16 是可电访问的 (electrically accessible)。

【0028】图 4A 是一个器件横截面图，图 4B 是一个器件顶视图，它们说明了所述制造方法的第三个步骤，该步骤包括在图案化介电材料 20 上形成场板 24，其中栅极 16 和场板 24 的触点至少在非本征区的一侧电短路，从而在它们之间提供低电阻连接。优选用金属蒸镀来形成场板 24，其中所述场板 24 是由金属片或接触件构成的。场板 24 被置于栅极 16 的漏极通道区内，从而提供了对有源区 18 进行调整的能力，使得在大 RF 信号情况下妨碍正常器件工作的表面陷获效应减轻。场板 24 被连接到器件本征区两侧，且栅极 16 和场板 24 至少在非本征区 22 的一侧电短路，从而在它们的两个金属线之间提供低电阻连接。相对于目标器件性能，即击穿电压、RF 性能等，对场板 24 的偏移量和长度进行优化。

【0029】若需要多场板结构，可重复图 2A、2B、3A、3B、4A 和 4B 所示的介电材料沉积/生长、介电材料蚀刻以及金属蒸镀这三个步骤。

【0030】图 5A 是一个器件横截面图，图 5B 是一个器件顶视图，它们说明了这样一个示例：用多个栅极场板形成多个连接，以减少栅极电阻，从而改善大周边器件和/或亚微米栅器件的性能。此示例为双场板结构，该结构包括另一层介电材料 26 以及另一由金属片或接触件构成的场板 28。介电材料 26 的厚度、场板 28 的长度和相对于栅极 16 和其它场板 24 的偏移量、以及所引入的场板 24、28 的数目构成制造工艺参数。使用多场板 24、28，即能在器件 10 的设计中获得更大的自由度，且对获得高电压器件 10 有重要影响。

【0031】本发明的另一优点是，可能减少由大周边器件内的栅极电阻所导致的 RF 性能下降。通常，最大振荡频率 (f_{\max}) 在栅极指宽 (gate finger width) 因栅极电阻的增加而增加时下降。

【0032】图 6 是 f_{\max} 与栅极指宽的依赖关系的模拟曲线图。如图所示，引入在有源区两端短接的场板结构能够改善具有大指宽的器件的 f_{\max} 性能。使用具有等于栅极电阻 R_g 的电阻 R_f 、并连接到有源区两端的场板，显著改善了 f_{\max} 性能。进一步的改善可通过降低场板电阻来取得。应强调的是，只有在场板结构所附加的寄生电容与本征器件的寄生电容相比可忽略时，这种降低才能被观察到。这可以通过适当选择介电材料及其厚度来实现，并且必须被作为一种优化处理来考虑。

【0033】栅极与场板之间的多个连接也导致栅极电阻显著减少。为实现这种多重连接而不使 RF 操作严重退化，在栅极沉积之前蚀刻一小部分有源区，以在栅极与场板之间形成所述多个连接，而不使器件的 RF 操作退化。

【0034】在此区域中，可连接栅极和场板，而不给器件引入任何寄生电容。同样，只有在被引入的寄生电容与本征器件的寄生电容相比较小时，器件性能才会改善。此外，与传统布局的器件相比，利用各个独立的有源区之间的间隔来操纵该器件的热阻抗更加有效。

【0035】关键参数在于选择介电材料、介电材料的厚度、及场板的长度。这些关键参数必须被作为所推荐的制造方法的优化步骤来考虑。

【0036】使用这种方法，即能以较少数目的风桥 (air bridge) 制造大周边器件。而且，可利用本发明制造亚微米器件。通常，亚微米栅极是用 T 形法 (T-shape process) 制造的，因为与标准栅极形状相比，T 形减小了栅极电阻。通过形成多个连接而不用 T 形法，即使是对亚微米栅极也可获得低栅极电阻。

【0037】此外，通过适当地调整材料介电厚度，可在介电材料的顶部沉积平行栅极触点，以便通过用平行场板在器件非本征区上形成多个连接，来显著减少栅极电阻。低电阻路径是由所述平行场板，通过适当选择栅极与场板之间所形成连接处的宽度来提供的。

【0038】图 7A 是一个器件横截面图，图 7B 是一个器件顶视图，而图 7C 是一个器件横截面图，它们说明了用于减少栅极电阻的多场板结构的示例。而且，还利用如图 7A、7B 以及 7C 所示的覆盖栅源通道区的场板来调整源极通道电阻，以改善器件的线性性能。

具有场板的氮化镓基高电子迁移率晶体管

【0039】包括 AlGaIn/GaN 高电子迁移率晶体管 (HEMT) 的基于 GaN 的晶体管能够在 RF、微波和毫米波频率进行很高电压及高功率操作。然而，电子陷获以及 DC 与 RF 特性之间由此而来的差异限制了这些器件的性能。SiN 钝化作用已被成功地用来缓解这种陷获问题，从而导致在 10 GHz 具有 10 W/mm 以上功率密度的高性能器件。例如，文献[3]公开了用于减小 GaN 晶体管中的陷获效应的方法和结构。然而，由于这类结构中存在高电场，因此电荷陷获仍然是个问题。

【0040】本发明已被成功地用来改善 AlGaIn/GaN HEMT 功率器件的性能。在 4 GHz 的工作条件下，已经分别对蓝宝石和碳化硅衬底上的器件实现了 12 W/mm 和 18.8 W/mm 功率密度。因场板制造中涉及的处理步骤简单，本发明可被用于开发 AlGaIn/GaN HEMT 技术及其它半导体器件。利用适当设计的多场板，大大改善了这类器件的击穿性能和大 RF 信号性能。

【0041】基于 GaN 的 HEMT 包括通道层和位于该通道层上的阻挡层。金属源极和漏极欧姆触点被制成与阻挡层相接触。在阻挡层上，形成一个位于源极和漏极触点之间的栅极触点，并在阻挡层上方形成隔离层。隔离层可在栅极触点形成之前或之后形成。隔离层可包括介电层、非掺杂的或耗尽 (depleted) 的 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 材料层，或它们的组合。一个导电场板被形成于隔离层上方，且从栅极触点的边缘向漏极触点延伸一个距离 L_f (场板距离)。该场板可被电连接到栅极触点。在一些实施例中，所述场板是在相同沉积步骤中作为栅极触点的延伸而形成的。在其它实施例中，所述场板和栅极触点是在独立的沉积步骤中形成的。这种方案可减少器件内的峰值电场，从而提高了击穿电压并减小了陷获。该电场的减少还可带来其它益处，如泄漏电流

减小以及可靠性提高。

【0042】图8中示出了本发明的一个实施例，该图是一个基于氮化物的 HEMT 器件的单元元件 30 的示意性横截面图。具体地，器件 30 包括衬底 32，该衬底可包括碳化硅、蓝宝石、尖晶石、ZnO、硅，或任何能支持 III 族氮化物材料生长的其它材料。在衬底 32 上，通过外延晶体生长法，例如 MOCVD（金属有机化学气相沉积）、HVPE（氢化物气相外延生长）或 MBE（分子束外延生长），来生长 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z \leq 1$) 结核层 34。结核层 34 的形成可取决于衬底 32 的材料。例如，文献[4]和文献[5]中讲授了在各种衬底上形成结核层 34 的方法。文献[6]、[7]及[8]则公开了在碳化硅衬底形成结核层的方法。

【0043】在结核层 34 上形成一高电阻率 III 族氮化物的通道层 36。通道层 36 可包括 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)。其后，在通道层 36 上形成一 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 阻挡层 38。每个通道层 36 与阻挡层 38 可包括子层，所述子层可包括掺杂或非掺杂的 III 族氮化物材料层。文献[3]、[9]、[10]、[11]及[12]中描述了多种示例性结构。其它基于氮化物的 HEMT 结构图则被描述于文献[13]和[14]中。

【0044】在图8所示的实施例中，III 族氮化物半导体隔离层 40 是在 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 阻挡层 28 上生长的。隔离层 40 可具有均匀的或分级(graded)的成分。隔离层 40 可以是非掺杂的和/或可被设计成随着生长而被充分耗尽的(depleted)。

【0045】源极 42 和漏极 44 被形成为通过阻挡层 38 构成欧姆接触，以致当栅极 46 被偏置在适当电平时，通过在通道层 36 与阻挡层 38 之间异质界面(heterointerface)处引入的二维电子气(2DEG)，在源极 42 与漏极 44 之间有电流流过。源极 42 和漏极 44 的形成被详细描述于上面引用的专利和出版物中。

【0046】隔离层 40 可被蚀刻，且栅极 46 被沉积以使栅极 46 的底部位于阻挡层 38 的表面上。形成栅极 46 的金属可被图案化，从而延伸过隔离层 40，以致在栅极 46 顶部形成的场板结构 48 从栅极 46 的边缘朝向漏极 44 延伸一个距离 L_f 。换言之，位于隔离层 40 上的栅极 46 的金属部分形成外延场板 48。最后，用介电钝化层 50（例如氮化硅）

来覆盖所述结构。形成介电钝化层 50 的方法被详细描述于上面引用的专利和出版物中。

【0047】本发明的其它实施例被示于图 9 中，该图是一个基于氮化物的 HEMT 器件的单元元件 30 的示意性横截面图，该器件具有与图 8 所示器件不同的结构。图 9 所示器件 30 中的衬底 32、结核层 34、通道层 36 以及阻挡层 38 类似于图 8 中所示的相应层。在一些实施例中，衬底 32 包括可从(美国)Cree, Inc. of Durham, N.C.处购得的半绝缘 4H-SiC，结核层 34 由 AlN 制成，并且通道层 36 包括 2 μm 厚的 GaN:Fe 层，而阻挡层 38 包括 0.8 nm 的 AlN 和 22.5 nm 的 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $x = 0.195$ ，这是通过 PL 法（光致发光法）测量的。

【0048】栅极 46 是在形成阻挡层 38 之后形成的，且钝化层 50 沉积在所述器件上。随后在叠盖着栅极 46 的、并在栅漏区中延伸一段距离 L_f 的钝化层 50 上形成场板 48。在图 9 所示的实施例中，钝化层 50 充当了场板 48 的隔离层。为取得最佳效果，可改变在栅极 46 上方场板 48 的叠盖方式以及在栅漏区内的延伸量。场板 48 和栅极 46 可与通孔或其它连接物（未示出）电连接。

【0049】在一些实施例中，场板 48 可延伸 0.2-1 μm 的距离 L_f 。在一些实施例中，场板 48 可延伸 0.5-0.9 μm 的距离 L_f 。在优选实施例中，场板 48 可延伸 0.7 μm 的距离 L_f 。

【0050】构造并测试一个根据图 9 所示实施例的基于 GaN 的 HEMT 结构。该器件在 120 V、4GHz 的工作条件下，实现了 32 W/mm 的功率密度及 55% 的功率附加效率 (PAE)。

【0051】测试了场板距离 (L_f) 对于器件性能的影响。器件大致是根据图 9 所示实施例制造的，只是从 0 到 0.9 μm 改变场板长度 L_f 。随后测量了所获器件的 PAE。如图 10 所示，当场板长度延伸到 0.5 μm 时，PAE 出现改善，其中最佳长度为约 0.7 μm 。然而，该最佳长度可取决于具体的器件设计以及工作电压和频率。

参考文献

【0052】在此以引用方式将下列参考文献并入本文：

[1] K Asano et al., "Novel High Power AlGaAs/GaAs HFET with a Field-Modulating Plate Operated at 35V Drain Voltage", IEDM Conference, 1998, pp. 59- 62.

[2] Y. Ando et al., "10-W/mm AlGaN-GaN HFET with a Field Modulating Plate", IEEE Electron Device Letters, Vol. 24, No. 5, May 2003, pp. 289-291.

[3] 美国专利第 6,586,781 号, 公布于 2003 年 7 月 1 日, 授予 Wu 等人, 名称为 "Group III nitride based FETs and HEMTs with reduced trapping and method for producing the same".

[4] 美国专利第 5,290,393 号, 公布于 1994 年 3 月 1 日, 授予 Nakamura, 名称为 "Crystal growth method for gallium nitride-based compound semiconductor".

[5] 美国专利第 5,686,738 号, 公布于 1997 年 11 月 11 日, 授予 Moustakas, 名称为 "Highly insulating monocrystalline gallium nitride thin films".

[6] 美国专利第 5,393,993 号, 公布于 1995 年 2 月 28 日, 授予 Edmond 等人, 名称为 "Buffer structure between silicon carbide and gallium nitride and resulting semiconductor devices".

[7] 美国专利第 5,523,589 号, 公布于 1996 年 6 月 4 日, 授予 Edmond 等人, 名称为 "Vertical geometry light emitting diode with group III nitride active layer and extended lifetime".

[8] 美国专利第 5,739,554 号, 公布于 1998 年 4 月 14 日, 授予 Edmond 等人, 名称为 "Double heterojunction light emitting diode with gallium nitride active layer".

[9] 美国专利第 6,316,793 号, 公布于 2001 年 11 月 13 日, 授予 Sheppard 等人, 名称为 "Nitride based transistors on semi-insulating silicon carbide substrates".

[10] 美国专利第 6,548,333 号, 公布于 2003 年 4 月 15 日, 授予 Smith, 名称为 "Aluminum gallium nitride/gallium nitride high electron mobility transistors having a gate contact on a gallium nitride based cap segment".

[11] 美国专利申请第 2002/0167023 号, 公布于 2002 年 11 月 14 日, 属于 Chavarkar、Prashant 等人, 名称为“Group-III nitride based high electron mobility transistor (HEMT) with barrier/spacer layer”。

[12] 美国专利申请第 2003/0020092 号, 公布于 2003 年 1 月 30 日, 属于 Parikh、Primit 等人, 名称为“Insulating gate AlGa_N/Ga_N HEMT”。

[13] 美国专利第 5,192,987 号, 公布于 1993 年 3 月 9 日, 授予 Khan 等人, 名称为“High electron mobility transistor with Ga_N/Al_xGa_{1-x}N heterojunctions”。

[14] 美国专利第 5,296,395 号, 公布于 1994 年 3 月 22 日, 授予 Khan 等人, 名称为“Method of making a high electron mobility transistor”。

[15] Y.-F. Wu, A. Saxler, M. Moore, R. P. Smith, S. Sheppard, P. M. Chavarkar, T. Wisleder, U. K. Mishra, P. Parikh, “30 W/mm Ga_N HEMTs by field plate optimization”, IEEE EDL, Vol. 25, No. 3, pp. 117-119, March 2004。

[16] S. Karmalkar, U. K. Mishra, “Very high voltage AlGa_N-Ga_N HEMT using a field plate deposited on a stepped insulator”, Solid State Electronics, 45 (2001) 1645- 1652。

结论

【0053】 本说明书包括对本发明优选实施例的描述。提供以上对本发明一个或多个实施例的描述是出于说明和描述的目的。它并不是穷举性的, 也无意用其将本发明限制在所公开的精确形式。根据以上讲授的内容, 许多修改和改动都是可能的。本发明的范围不应受到详细描述的限制, 而是应该由所附权利要求来限定。

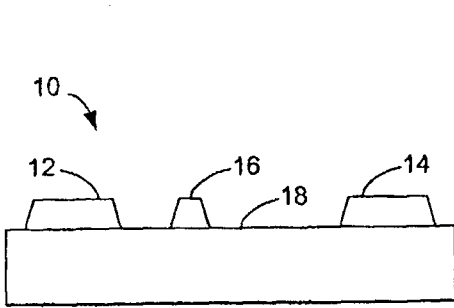


图1A

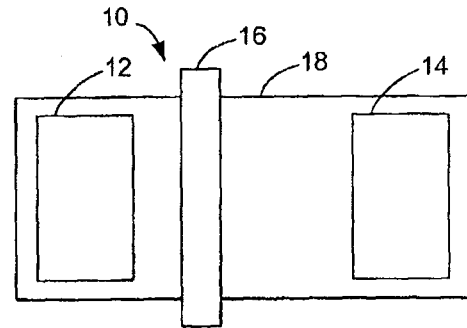


图1B

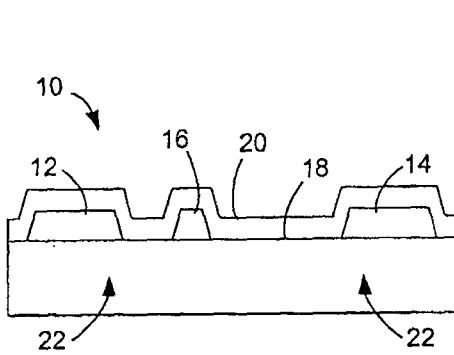


图2A

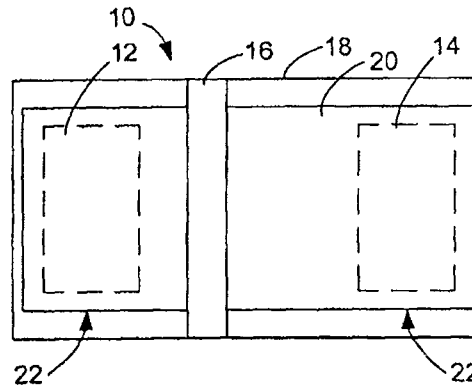


图2B

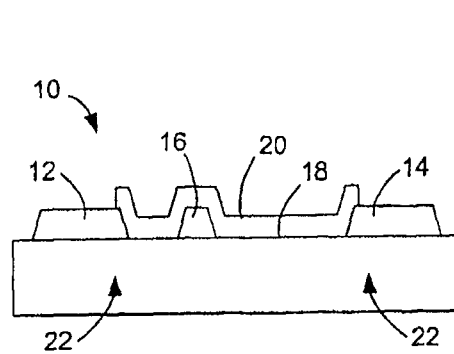


图3A

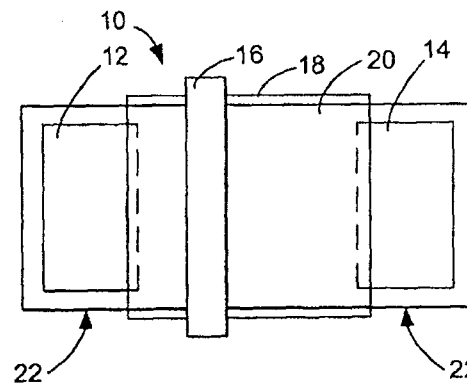


图3B

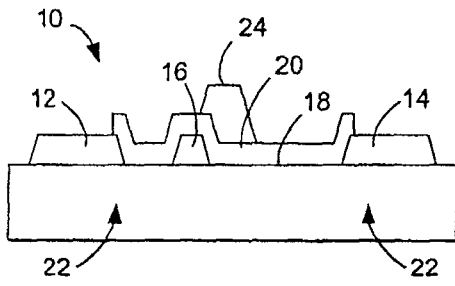


图4A

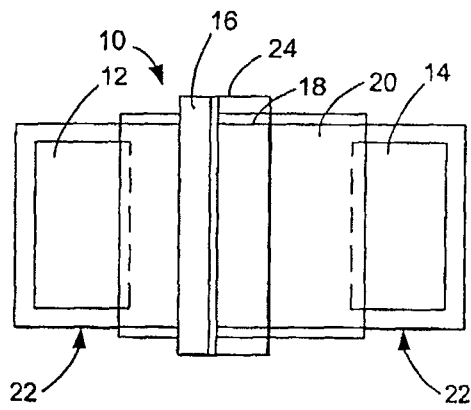


图4B

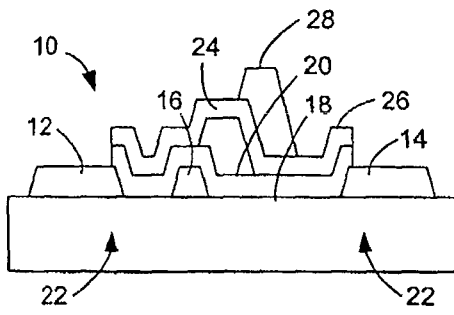


图5A

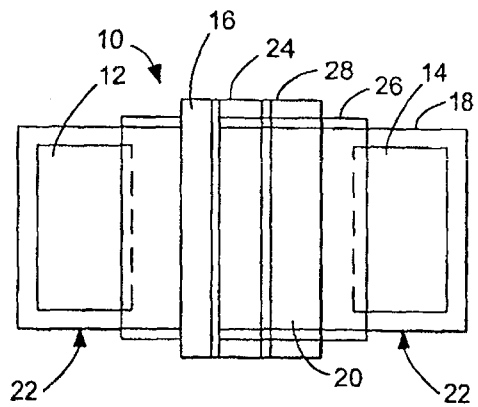


图5B

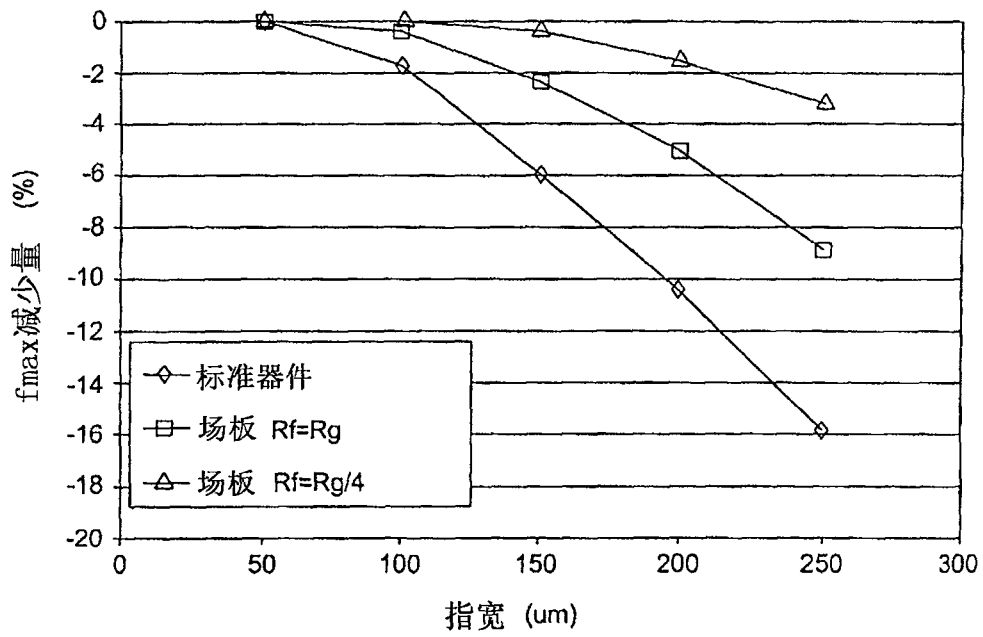


图6

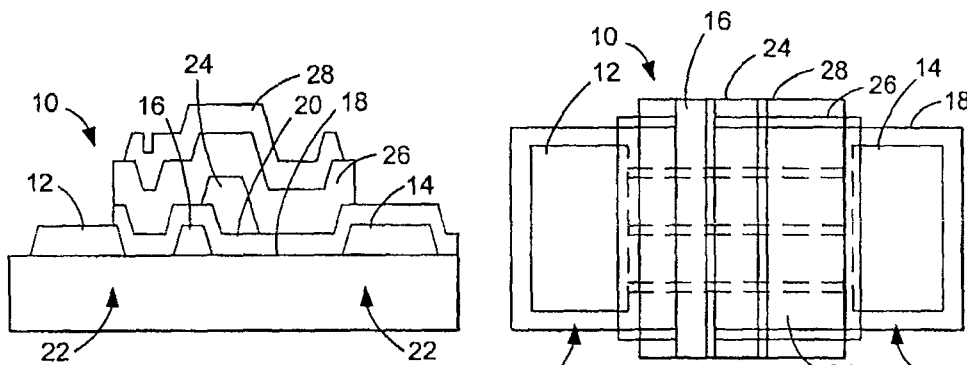


图7A

图7B

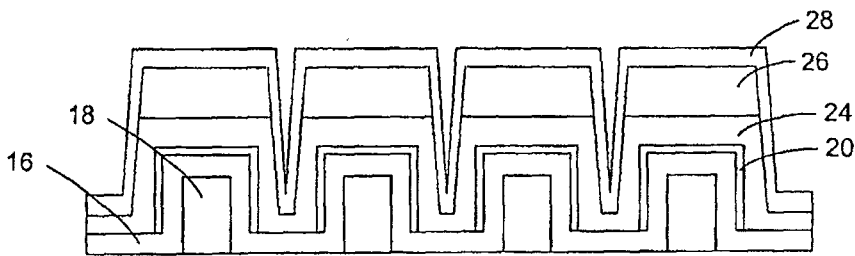


图7C

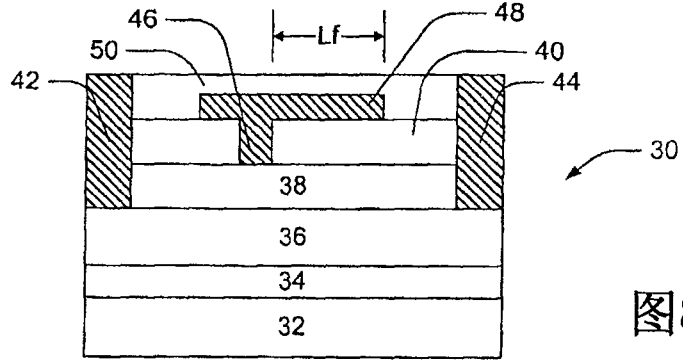


图8

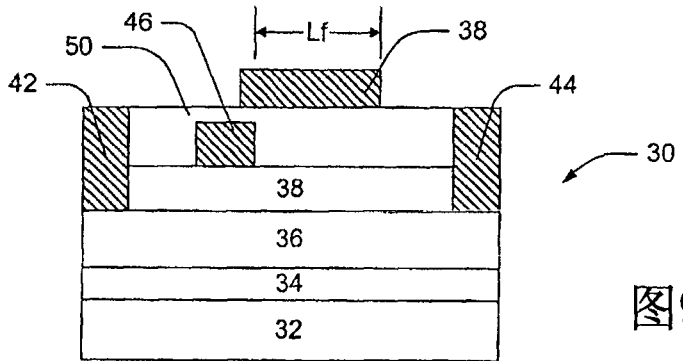


图9

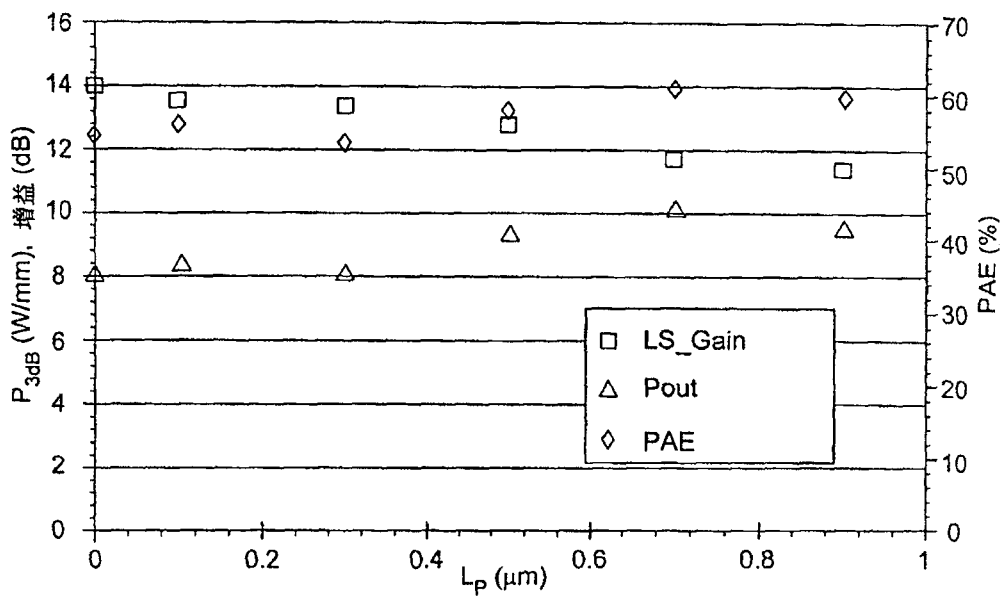


图10